

嵌入式语音通信系统中 VxWorks BSP 的设计实现

孙敬国,刘庆华

(桂林电子科技大学 信息与通信学院 广西 桂林 541004)

摘要:介绍基于实时操作系统 VxWorks 和微处理器 MPC860 构建的多通道语音实时通信系统。MPC860 负责完成语音通信、语音压缩、解压缩和 IP 封装、解封。基于 FPGA 实现的通信控制器协调语音采集和回放模块同工作在 QMC(多通道时分复用)模式的 SCC(串行通信控制器)串口间的通信。针对实际软硬件环境定制 BSP 并开发了 SCC 串口的 QMC 驱动程序。

关键词:多通道语音通信;MPC860T;FPGA;QMC;VxWorks;板级支持包;驱动程序

中图分类号:TP311.54

文献标识码:A

文章编号:1004-373X(2009)15-122-04

Design and Implementation of VxWorks BSP in Embedded Speech Communication System

SUN Jingguo, LIU Qinghua

(Information and Communication College, Guilin University of Electronic Technology, Guilin, 541004, China)

Abstract: A multi-channel real-time voice communication system based on RTOS VxWorks and MPC860T is introduced in this paper. Voice communication, compression, decompression, IP encapsulation and decapsulation are accomplished by MPC860. A communication controller implemented by FPGA is used to handle the data transfer between speech acquisition and playback modules and Serial Communication Controller (SCC) working at QUICC Multi-channel Controller (QMC) mode. The BSP files are modified according to the specific software and hardware environment. The SCC QMC driver is developed.

Keywords: multi-channel voice communication; MPC860T; FPGA; QMC; VxWorks; BSP; driver

0 引言

当前普遍使用的 DSP 语音处理技术只能对语音进行简单处理,不能适应语音业务的多样化趋势。本文介绍利用 MPC860 和 VxWorks 实现综合语音通信平台,支持多板卡、多路语音实时传输,可扩展多路语音共听功能。利用 MPC860 的通信和信号处理功能,且 VxWorks 具有占用空间小、执行效率高、方便进行个性化定制和较好的兼容性等特点,所以该综合语音通信平台在功能、硬件结构、体积、功耗以及灵活性上具有较大优势。

在设计中尽量采用嵌入式开发中的常用器件,以便稍加改动即可应用于其他设计。可以根据实际需要更改系统中语音通道的数目和扩展多路语音共听功能等。

1 系统结构及工作原理

1.1 系统组成及特点

整个通信平台由语音通信处理主板和语音采集回放子板组成。语音通信处理主板包括 CPU MPC860、

FLASH 存储器、SDRAM 存储器、10/100 Mb/s 网络接口、RS 232 串口、BDM 调试接口、Console 接口、供电和复位电路及 120pin 连接器。通信处理主板的核心 MPC860 是 Motorola 公司的一款由 MC68360 演变而来的通用单片集成嵌入式微处理器,适用于通信和网络系统。该微处理器内部有两个处理器:PowerPC 和 32 位 RISC 处理器。PowerPC 核同内存管理单元(MMU)、指令和数据 Cache 一同处理高层次应用,CPM 则负责完成低层数据通信。两个处理器主要通过共享内存交互。通信处理模块利用 SCC, SMC, SPI 和 I²C 串行通道与外部设备通信,其中 SCC 和 SMC 支持时分复用^[2]。设计中,SCC 工作在 QMC 协议 Transparent Mode。通信处理模块(CPM)新增了数字信号处理(DSP)功能。语音采集回放子板由语音采集电路、语音回放电路、基于 FPGA 实现的通信控制器和与语音通信处理主板连接的 120pin 连接器组成。

由于 MPC860 的数据传输速度相比 ADC 和 DAC 要快很多,设计相应的逻辑电路控制语音的采集和回放、协调 MPC860 和数据采集、回放电路之间的通信是保证系统正常工作的关键。文中设计了基于 Altera 公司的 Cyclone EP2C8 芯片实现的通信控制器来解决

收稿日期:2009-02-25

基金项目:广西自然科学基金资助项目(0832007Z)

这一问题^[3]。

将通信平台分为语音通信处理主板和语音采集回放子板分别设计实现,是为了降低系统开发难度和便于系统维护、升级和扩展。例如语音通信处理主板无需改动即可利用已有的连接器、FEC 网络接口和 SDRAM 存储器等资源与视频编解码芯片、视频压缩/解压缩芯片组成网络视频服务器。

1.2 功能结构和工作原理

语音通信处理主板的功能结构如图 1 所示。

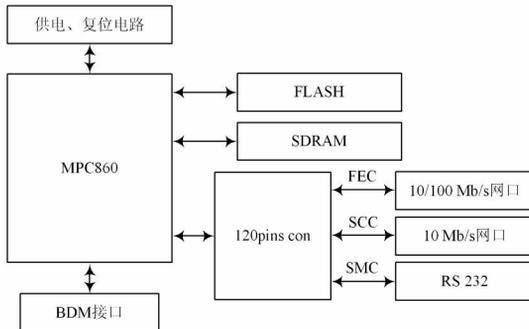


图 1 语音通信处理主板功能结构框图

系统上电后,语音通信处理主板复位电路产生复位信号,MPC860 接收到复位信号后,跳转到 0X100 处开始执行启动代码。按照 BSP 配置逐步执行 CPU 初始化、板上其他硬件电路的初始化、操作系统运行所需数据结构的初始化、启动 VxWorks WIND 内核、创建 UserRoot 任务、初始化系统中用到的可选扩展模块(如 I/O 系统、文件系统、网络协议等)、创建任务 usrApp Init(),此时语音通信平台准备就绪,可以执行语音通信任务。采集板的功能结构如图 2 所示,语音通信处理主板启动完毕后,语音采集回放子板可在通信控制器控制下采集和回放语音,并对语音数据进行压缩编解码和 IP 封装、解封装处理。

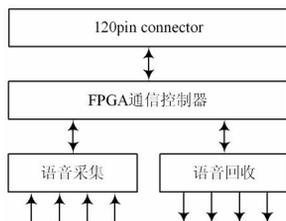


图 2 语音采集回放子板功能结构框图

1.3 数据处理流程

MPC860T 和 ADC AD7825, DAC AD7305 之间的通信由通信控制器控制。通信控制器由数据缓冲区(Rx FIFO, Tx FIFO),基于 FSM(有限状态机)实现的控制逻辑(Rx control, Tx control)和 8 位串并、并串转换器,时钟电路组成。其数据接收过程为:接收控制逻辑(Rx control)控制 ADC AD7825 将各个通道的语音

数字化,并把转换结果存入接收缓冲区(Rx FIFO),直至 Rx FIFO 满时 Rx control 开始向 MPC860T 提供周期性帧同步信号,频率为 32 kHz。MPC860 在帧同步信号和时钟信号的驱动下读取 Rx FIFO 中的数据到 SCC 数据接收缓冲区。Rx FIFO 读空(即读指针追上了写指针)后,Rx control 停止向 MPC860 发送帧同步信号终止数据传输,同时向 MPC860 发送中断信号 IRQ3,MPC860 响应中断把数据从接收缓冲区读到接收 ring buffer 中等待应用程序处理。其数据发送过程为:MPC860 完成 IP 解封装、解压缩后的语音数据将会在检测到发送缓冲区可用时,输出到 SCC 发送缓冲区,通信控制器提供发送帧同步信号驱动数据传输到 Tx FIFO(发送缓冲区),待到 Tx FIFO 满时停止发送帧同步信号。数据发送完后,CPM 会清零,TxBD 中的 R 位表示 MPC860 可向 SCC 发送缓冲区中装入新的数据,为下次传输做准备。

1.4 QMC 通信协议

多通道控制器(QUICC Multichannel Controller, QMC)是为了实现时分复用数据传输而设计的,它可以把时分复用帧的数据分发到多达 64 个逻辑通道。该模式下把每一帧的数据划分成若干个时隙(Timeslots),每时隙 8 b。在时隙分配表中规定每时隙数据从属于某个通道,每个通道都有一组特定的缓冲区描述符和相应的缓冲区。一个时隙的数据在收发时被放置在特定的缓冲区里,MPC860T 就可把分散的数据聚集在一起发送,或把聚集在一起的数据分发到各自专用的缓冲区,而不需要额外的处理来区分各种各样的数据流^[4]。

2 BSP 设计实现

设计中软件开发主要包括启动代码的编写、操作系统的移植、硬件驱动程序和语音编、解码和 IP 封装、解封装应用程序^[5]。篇幅有限,本文仅介绍 BSP 移植。BSP 即板级支持包,其功能为硬件、软件初始化、工程影像的下载和设备驱动等。

2.1 BSP 的定制

无论是 BootRom 还是 VxWorks 都要使用 BSP 代码,BSP 定制需要根据硬板配置、系统设计需求、软件功能等实际情况。实际开发过程中,为了缩短产品开发周期,通常以 WINDRIVER 公司的 BSP 模板或者第三方公司提供的可供参考的 BSP 为基础^[6],根据软硬件具体配置进行修改,添加新的程序驱动新增硬件和功能。本课题中先把 APC860 开发板的 BSP MPC860TEVB 拷贝到 installdir:\Tornado\target\config\ppcs860 目录下,主要做下列修改。

2.1.1 config.h 文件

根据实际情况,需要修改启动行,内存地址、容量等配置,修改部分代码如下:

```
# define DEFAULT_BOOT_LINE \
"motfec(0,0) sjg:vxWorks h = 202.193.61.41 e = 202.193.61.54 u = vxwork pw = vxwork tn = 860pc"
# define SPLL_FREQ_REQUESTED_FREQ 50 MHz
# define LOCAL_MEM_LOCAL_ADRS 0x00000000
/* *RAM 基地址 */
# define LOCAL_MEM_SIZE 0x02000000
/* *32 MB 可用内存 */
# define ROM_BASE_ADRS 0x02800000
/* *ROM 基地址 */
# define ROM_TEXT_ADRS/
ROM_BASE_ADRS + 0x100
# define ROM_SIZE 0x00200000
/* *2 MB BootRom FLASH */
# define RAM_HIGH_ADRS/(LOCAL_MEM_LOCAL_ADRS + 0x00300000)
# define RAM_LOW_ADRS/(LOCAL_MEM_LOCAL_ADRS + 0x00010000)
# define USER_RESERVED_MEM0x00000000
/* *用户保留内存空间大小 */
```

2.1.2 makefile 文件的修改

makefile 文件的修改,部分程序如下:

```
CPU = PPCS860
TOOL = gnu
.....
TARGET DIR = PPCS860
VENDOR = SJ GPERFECT
BOARD = APCS860
# # CONFIG ALL = $(TGT DIR)/config/allssc
ROM TEXT_ADRS = 02800100
# ROM 入口地址
ROM_SIZE = 00200000
RAM_LOW_ADRS = 00010000
# RAM text/ data address
RAM_HIGH_ADRS = 00300000
# RAM text/ data address
HEX_FLAGS = - a $(ROM TEXT_ADRS)
ADDED_FLAGS = - g
MACH_EXTRA = ppcs860QmcSio.o
/* *新增驱动程序 */
LIB_EXTRA = motFecEnd.a
```

2.1.3 romInit 文件修改

romInit.s 模块包含了 VxWorks 在 ROM 中的入口点 romInit(),它是单板上电以后最先执行的汇编程序代码。该函数功能包括处理器的复位、内存的初始化以及其他的最基本和必要的初始化工作。需要修改的内容如下:

内部存储器映射寄存器 IMMR。该寄存器用来标识内部地址空间的基址,将该寄存器设置为“FF000000”。

SIU 模式配置寄存器 SIUMCR。包括有外部总线仲裁器配置,外部 master 的支持,DEBUG 调试端口配

置,系统接口引脚配置以及奇偶校验支持,将该寄存器设置为“00E10000”。

BSP 中讨论 SDRAM 的初始化过程,首先对 MAMR 寄存器的初始化,再得到 UPM 的 RAM 阵列的地址,然后将 RAM 阵列地址中的值写入 MPC860 RAM_WORDS_ARRAY 中,最后初始化 OR 以及 BR 寄存器。

2.1.4 ppcs860.h

ppcs860.h 是参数配置头文件,该文件包含大量宏定义,为使 MPC860T 正常运行且 SCC 串口工作在 QMC 协议透明模式,根据实际需要做了如下配置^[7]:

(1) 修改系统常量对应的宏定义:SCCx 参数在双端口 RAM 中存储的起始地址、缓冲区描述符(BD)的基址、缓冲区和 BD 的数目等;

(2) 串口和时隙分配表的初始化,主要包括时隙分配、引脚分配等,通过设置 SI RAM 参数,规定了每个逻辑通道对应的时隙和数据路由,本系统中选择 SCC2 和 TDMB 接口实现 QMC 通信,引脚配置如下:

PC6 RSYNC,PA2 RXC,PA10 RXD,PA0 TXC,PA11 TXD

(3) SCC2 初始化:设置 SCC2 工作在 QMC 模式;

(4) QMC 全局参数初始化:MCBASE(多通道基址地址指针),初始化为 SCC2 对应外部 BD 表的基址,MRBLR(最大接收缓冲区长度),接收、发送时隙分配表起始地址的指针(Rx_S_PTR,Tx_S_PTR),接收、发送时隙分配表当前时隙的指针(Rx_PTR,Tx_PTR),中断循环表基址(IN_TBASE),中断循环表下一可用入口的指针(IN_TPTR)等;

(5) QMC 特定通道参数初始化:TBASE,RBASE(该逻辑通道的缓冲区描述符的起始地址),TBPTR,RBPTR(当前发送、接收缓冲区描述符指针),TMRBLR(最大接收帧长度)等。

2.1.5 驱动程序

驱动程序直接对硬件操作,实现硬件和操作系统、应用程序之间的交互。需要自行编写 MPC860 SCC 串口驱动程序 ppcs860QmcSio.c,通信平台中 SCC 工作在 QMC Transparent 模式。ppcs860QmcSio.c 文件中包含 SIO_DRV_FUNCS 结构体中定义的 5 个函数和中断处理函数 ppc860QmcInt()、Qmc 逻辑通道复位函数 ppc860QmcChannelReset()。ppc860SccIoctl() 提供了一些设备控制选项,包括停止数据传送、察看当前通信状态(空闲还是忙)、轮询或中断模式选择等;ppc860SccInt() 处理 QMC 通道的中断请求,通过中断方式实现数据的收发功能;ppc860SccStartup() 函数启动一个发送周期;ppc860SccCallbackInstall() 安装回调

函数。中断处理函数的功能有：

(1) 提供接收、发送中断处理函数,调用回调函数完成设备和较高层协议之间的数据传送。

(2) 处理数据接收过程中出现的接收数据过长,数据传送被迫终止等异常。由于不需要 QMC 的轮询模式,因此 ppc860SccPollInput() 和 ppc860SccPollOutput() 以 NULL 函数的形式实现。同时还要编写 sysSccSerial.c 文件,修改 sysLib.c 文件和 usrConfig.c 文件。在 sysSccQmc.c 中提供 SCC 设备描述符的初始化例程、SCC 中断连接例程等;通过修改 sysLib.c 和 usrConfig.c 文件以实现 VxWorks 对 QMC 驱动程序的调用和 QMC 驱动程序与 TTY 系统的挂接。

2.1.6 通道中断处理过程^[8]

数据收发的核心是中断处理函数。QMC 中的所有逻辑通道共享 SCC2 的中断,SCC2 维持有一个全局中断表,表中每一项里面都含有逻辑通道号和中断源,可以被驱动识别以处理不同情况下出现的事件。中断发生时,驱动从 SCCE 寄存器里面判断全局中断源,如果中断是由逻辑通道引起,中断服务程序便查找全局中断表以找到该逻辑通道,并从中断条目里面检查中断信息以确定是什么类型,再调用相应的收发和错误处理函数。

2.1.7 数据接收和发送

多通道语音通信系统中 MPC860T SCC 串口时分复用即工作在 QMC 模式,逻辑通道的通信协议为 Trasparent mode,该协议仅传输二进制数据,不对数据流进行位级操作,不区分数据帧中的格式位、起止位和数据位等,不对接收的数据做检错处理,因而具有较高的数据传输速率。

接收函数由中断服务例程调用。由于是每接收一帧产生一次中断,故接收函数也每次处理一帧的数据。数据的接收由接收描述符 RxBD 控制。当要接收数据时,接收函数首先需要确定 RxBD 有效;确定没有问题后,才将数据从接收缓冲区拷贝到接收 Ring buffer,并复位 RxBD;否则在进行相应错误处理后复位 RxBD。接收函数流程如图 3 所示。

数据发送不调用中断处理函数,发送函数检测到发送缓冲区可用(即 TxBD 中 R 位为 1)后,调用回调函数将数据从发送 Ring buffer 拷贝到串口发送缓冲区(Tx buffer)。这里为发送功能开辟足够大的环形缓冲区(足以容纳应用程序每一帧的数据)。发送函数流程如图 4 所示。

2.2 BSP 调试方法和遇到的问题

2.2.1 调试方法^[9]

开发调试有两种方法,一种是使用仿真器通过 BDM(后端调试模式)一步步地跟踪调试,另一种是通

过点灯的方式进行所谓的“黑”调。“黑”调的方法是通过“灯”闪、用示波器测片选等,根据外部现象和所编的测试代码进行比较分析来调试程序。进行“黑”调的目的是调通信串口部分代码,宿主机可以通过串口与目标机的通信,然后再调试其他部分。调试流程分成两部分。首先是预内核启动代码(Pre-Kernel Initialization),待最小内核启动正常后再添加 I/O 系统、文件系统、网络系统等组件和调试应用程序。使用仿真器 Vision Probe 通过 BDM 方式调试 BSP 并将 BootRom 映像烧入 FLASH。

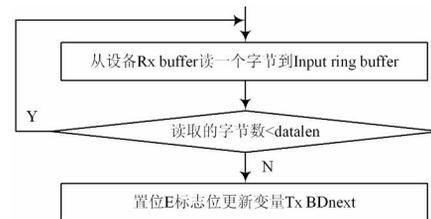


图 3 接收函数流程图

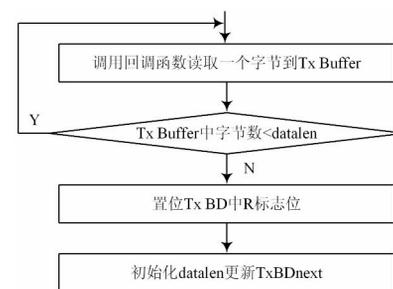


图 4 发送函数流程图

2.2.2 调试中遇到的问题

(1) 系统无法正常复位

在调试过程中,发现 MPC860T 的 CL KOUT 引脚无输出信号,系统上电复位过程没有完成,系统无法正常工作。初步判断是硬件问题。用万用表和示波器逐步检查上电复位、硬件复位、软件复位、时钟输入和 BDM 调试等模块电路,发现正常。判断是 BGA 焊接出现问题,将芯片取下,重新焊接,系统复位正常,时钟信号输出稳定正常。

(2) 网络无法与外界通信

100 Mb/s 快速以太网驱动加载中,网络层协议无法运行,目标板无法与外界网络建立联系。目标板网络启动时发出的 MAC 地址信息帧外界无法收到。通过仿真器发现程序单步运行正常。经过反复试验和测试,最终发现因 SDRAM 初始化程序没有运行导致程序运行(需要 SDRAM 支持突发模式)出错。更改调试方式,将 BootRom 开始的所有程序烧入 FLASH,上电启动,网络正常,目标板与外界建立良好的网络通信。

(下转第 130 页)

码,从而大大提高编码器的性能。

4 结 语

文章对新一代视频编码标准 H.264/AVC 进行全面的分析和研究,总体上按照 H.264/AVC 结构化的编码思想,对分视频编码层和网络适配层进行了分析,特别对 H.264/AVC 的编码中所采用的新技术进行了仿真研究,如编码的效率、多参考帧、通用可变长编码(UVLC)和基于上下文的自适应二进制算术编码(CABAC)、运动补偿等,并给出实验结果,充分说明了新一代视频编码标准 H.264/AVC 的编码效率比以前的编码标准(如 H.263)在编码效率上提高了很多。当然,新一代视频编码标准 H.264/AVC 虽然优点明显,但许多优点是以牺牲计算复杂度换来的。因此在降低计算复杂度的同时,能达到更高的编码效率将是下一步研究的重点。

参 考 文 献

- [1] 杨华,杨松岸,余松煜.一种用于 H.264 数据分类的自适应的不平等错误保护策略[J].高技术通讯,2004,14(3):11-15.

作者简介 张惠女,1969年出生,湖南省桃源县人,本科,中级职称。研究方向为电子技术。

(上接第125页)

3 结 语

该系统在实际测试中话音质量稳定,测试时声音清晰,没有串扰和杂音,没有较大延迟,说明硬件设计正确完备,QMC 驱动程序和语音编解码和 IP 封装与解封装应用程序性能优良。

如果板上语音通道更多,则每帧的时隙增多、长度增大,因为 FPGA 内部电路所提供的帧同步信号周期并不改变,所以只是实际数据传输速率提高,可以保证各路语音的同步和实时性。系统中 QMC 工作在 Transparent Mode 限制了它的应用范围,如何改进使系统支持多种通信协议是需要进一步研究的问题。

参 考 文 献

- [1] 王立磊.基于 VxWorks 环境与仿真终端的串口通信设计[J].计算机工程与设计,2006,27(15):2 808-2 811.

作者简介 孙敬国 男,1982年出生,山东德州人。主要研究方向为基于 VxWorks 的嵌入式系统设计。

- [2] ITU-T Rec. H.264|ISO/IEC 14496-10 AVC. Editor's Proposed Draft Text Modifications for Joint Video Specification. 2002.
- [3] ITU-T/SGL6/VCEG(Q.6),H.26L Test Model Long Term Number 8 (TML8),Document VCEG-N10,Video Coding Expert Group (VECG),14th Meeting,Santa Barbara CA USA,2001:24-27.
- [4] Joint Video Team (JVT) of ISO/IEC MPEG and ITU-T VCEG,Document JVT-D157,Video Coding Expert Group 4th Meeting:Klagenfurt,Austria,2002:22-26.
- [5] Joint Video Team (JVT) of ISO/IEC MPEG and ITU-T VCEG,H.264 JM-9.3 Software.
- [6] 丁贵广,计文平,郭宝龙,等. Visual C++ 6.0 数字图像编码[M].北京:机械工业出版社,2004.
- [7] ITU Recommendation H.264. Video Coding for Low Bit Rate Communication,1996.
- [8] ITU-T Recommendation H.264. Video Coding for Low Bit Rate Communication. 1998.
- [9] 高文.多媒体数据压缩技术[M].北京:电子工业出版社,1985.
- [10] 何芸,翁成坚.低数码率视频压缩编码及全软件 H.264 视频通信系统研究[J].中国图像图形学报,1997,2(5):319-324.

- [2] Motorola Inc. MPC860 PowerQUICC Family User's Manual. [Z]. 2004.
- [3] Altera Co. Cyclone II Device Handbook. [Z]. 2007.
- [4] Motorola Inc. MC Supplement to MC68360 and MPC860 User's Manual[Z]. 1997.
- [5] Wind River Systems Inc. BSP Developer Guide 5.5 [Z]. 2002.
- [6] Wind River Systems Inc. Tornado BSP Training Workshop [Z]. 1998.
- [7] 罗国庆. VxWorks 与嵌入式软件开发[M].北京:机械工业出版社,2003.
- [8] 陈智育,温彦军,陈琪. VxWorks 程序开发实践[M].北京:人民邮电出版社,2004.
- [9] 周启平,张杨. VxWorks 下设备驱动程序及 BSP 开发指南[M].北京:中国电力出版社,2004.
- [10] 赵竹君,孙未.基于 PowerPC 的嵌入式系统设计[J].现代电子技术,2007,30(9):33-35.