

任意波形电源的设计

艾凯文, 胡桂明, 沈润夏

(广西大学 电气工程学院, 广西 南宁 530004)

摘要:介绍一种幅值和频率都连续可调的任意波形电源, 针对电磁阀性能检测而设计, 具有较好的稳定性、精确性、安全性和快速启动性, 可以瞬间输出 10 A 电流。以单片机为控制系统, 控制 DDS 模块产生 1 Hz~10 KHz 的波形信号, 控制放大模块对其进行幅值和功率放大, 得到 0 V~40 V 的波形信号, 作为电源的最终输出。

关键词:任意波形发生器; FPGA; DDS; 流水线结构; AD7541

中图分类号: TP216 **文献标识码:** A

Design of Arbitrary Waveform Power Supply

AI Kai-wen HU Yui-ming SHEN Run-xia

(College of Electrical Engineering, Guangxi University, Nanning 530004, China)

Abstract: In this paper, a arbitrary waveform power supply is introduced, which frequency and voltage is continuously controllable, and which is designed to detect the performance of a solenoid. The power supply is stability, accuracy, security, it can fast startup and output a current about 10 AMP immediately. A singlechip is used as control system to control both the DDS module and the Magnifying module. The DDS module generate a signal with the frequency from 1Hz to 10KHz, and the Magnifying module magnify the amplitude and power of the signal, then a signal with amplitude from 0V to 40V is generated, finally the signal is used as the output of the power supply.

Key words: arbitrary waveform generator; FPGA; DDS; pipeline architecture; AD7541

1 引言

在工业生产中, 往往需要一些特定的电信号来检测产品的性能或者检测机器的故障, 这些信号的波形、幅值、频率要求在一定范围内连续可调。例如电磁阀, 一种在冶金、化工、机械、电力等都广泛使用的控制流体方向的自动化基础元件, 其可靠性和安全性非常重要, 需要使用特定的电信号对电磁阀的启动、长时间工作稳定度、瞬间工作特性等整体性能进行测试。信号发生器在电子技术领域广泛应用于电子电路、自动控制 and 科学实验等, 通常我们使用信号发生器来产生这些信号, 但国内电子仪器市场上的任意信号发生器价格昂贵。

因此针对电磁阀性能的检测, 而设计一种幅值在 0V~40V 连续可调, 频率在 1Hz~10KHz 连续可调的任意波形信号电源。电源的最大输出电流为 10A, 最大输出功率为 400W。电源还需要承载瞬间输出大电流, 需要长时间高功率的稳定工作。

2 系统结构和原理简介

采用 AT89C52 单片机做系统的控制部分, 控制波形信号的幅值、频率和相位。主要功能模块是波形信号产生电路和波形信号放大电路。外围设备有 E2PROM、按键开关组、LCD 显示器, 分别用来存储、改变和显示当前幅值、频率和相位。系统结构图如图 1 所示。

收稿日期: 2011-10-18

基金项目: 广西研究生教育创新计划资助项目(GXU11T32521)

作者简介: 艾凯文(1986-), 男, 江西吉安人, 硕士研究生, 研究方向: 智能自动化(E-mail: akwkevin@126.com); 胡桂明(1961-), 男, 广西桂林人, 副教授, 博士, 硕士生导师, 研究方向: 智能优化控制和智能信息处理。

系统的工作原理是单片机根据开关组得到键值,控制波形信号产生模块产生对应频率和相位的波形信号,波形由 PC 机控制;同时控制波形信号放大模块改变波形信号的幅值,得到任意波形信号。另外,波形放大模块还有放大功率的作用,由辅助电源提供功率,使之可以直接驱动负载,承载瞬间的大电流冲击。

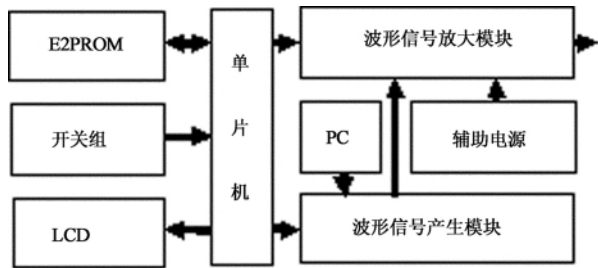


图 1 系统结构图

3 系统硬件设计

硬件的核心部分是由单片机控制的波形信号产生模块和波形信号放大模块组成。波形信号产生模块由 FPGA、DAC 转换器、低通滤波器构成。

3.1 使用 FPGA 实现 DDS

相比专用的 DDS 芯片功耗大、价格高,且只能产生固定的波形信号,FPGA 除克服上述缺点外,还具有高速度、高分辨率、低失真度、带宽大等优点,非常适合于设计检测仪器仪表。

使用 FPGA 构成直接数字频率合成器(DDS)^[1-2]的数字控制振荡器 NCO,用于产生数字波形信号,然后通过 DAC 转换为模拟波形信号,最后通过低通滤波器输出平滑的波形信号,如图 2 所示。

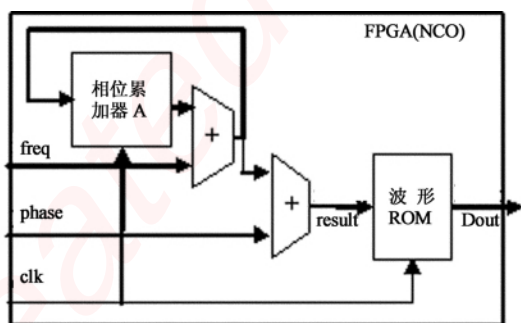


图 2 由 FPGA 构成的 DDS 原理图

数字控制振荡器 NCO 主要由相位累加器 $A^{[3-4]}$ 、两个加法器、波形 ROM 构成。输入量 freq 和 phase 分别为 32 位频率控制字和 32 位相位控制字,相位累加器 A 在每个时钟 clk 周期内对频率控制字 freq 进行线性累加,如公式(1);然后加上相位控制字 phase 得到一个相位值 result,如公式(2);根据此相位值作为 ROM 的寻址地址,得到数字波形信号的幅度 Dout。

$$A = freq + A \quad (1)$$

$$result = A + phase \quad (2)$$

由于相位累加器的字长为 32 位,DDS 的最终输出频率 $f = f_{clk} \times freq / (2^{32})$,时钟 clk 的频率 f_{clk} 为 200MHz,那么 $freq = 21.474836 \times f$,输出频率 f 的分辨率为 $200M / (2^{32}) Hz = 0.047Hz$ 。

3.2 使用流水线结构^[5]的相位累加器

公式(1)和公式(2)是 2 个 32 位的加法。如果用级联结构的 32 位加法来实现,完成一次加法运算的过程中,高一位的加法必须先等低一位的加法运算完毕得到进位才可以进行,这样 2 个 32 位加法运算的延迟时间将会是 64 个 1 位加法运算的延迟时间总和。为了缩短延迟时间,本设计采用流水线技术实现 32 位的加法,将 32 位的数据分成 4 段 8 位的数据,将 2 个 32 位的加法分成 8 个 8 位的加法进行,每一个加法器都在时间上相对独立且同时进行,这样的加法运算延迟时间只是 8 个 1 位加法运算的延迟时间总和。该流水线结构如图 3 所示,有六级流水结构,有 1 个 64 位寄存器 r1,1 个 65 位寄存器 r2,1 个 58 位寄存器 r3,1 个 50 位寄存器 r4,1 个 42 位寄存器 r5,1 个 33 位寄存器 r6,一个 32 位累加寄存器 A,8 个 8 位全加法器,如图 3 所示。这种结构需要六个时钟周期等待,之后每个时钟周期都会输出加法结果,也就是输出波形有 6 个周期的延时。

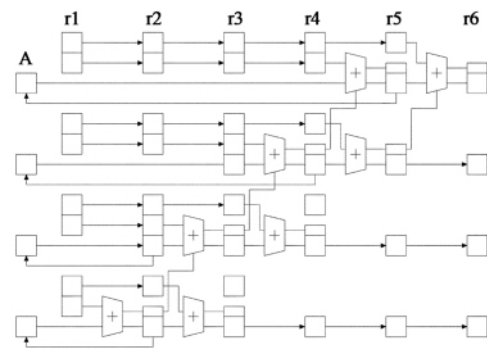


图 3 流水线结构的相位累加器

(其中,图中方框代表 8 位寄存器,长方框代表 1 位寄存器,内含加号的梯形代表 8 位加法器)

整个流水线的工作过程为:当 DDS 开始工作或者复位时,相位累加器 A 中的数据清零,流水线开始工作,有如下 6 个过程:

1)第一级流水线将 freq 和 phase 按 {phase [31:24], freq[31:24], phase[23:16], freq[23:16], phase[15:8], freq[15:8], phase[7:0], freq[7:0]}这种顺序赋给寄存器 r1。

2)第二级流水线将累加器 A[7:0]与 r1 中原 freq[7:0]相加得到新的 A[7:0]和进位 i1,并赋给 r2[8:0],r1 中剩下的数据直接赋给 r2。

3)第三级流水线将累加器 A[7:0]与 r2 中原 phase[7:0]相加得到 result[7:0]和进位 i2,并赋给 r3[8:0],将累加器 A[15:8]与 r2 中原 freq[15:8]和进位 i1 相加得到新的 A[15:8]和进位 i3,并赋给 r3[17:9],r2 中剩下的数据直接赋给 r3。

4)第四级流水线将累加器 A[15:8]与 r3 中原 phase[15:8]和进位 i2 相加得到 result[15:8]和进位 i4,并赋给 r4[16:8],将累加器 A[23:16]与 r3 中原 freq[23:16]和进位 i3 相加得到新的 A[23:16]和进位 i5,并赋给 r4[25:17],r3 中剩下的数据直接赋给 r4。

5)第五级流水线将累加器 A[23:16]与 r4 中原 phase[23:16]和进位 i4 相加得到 result[23:16]和进位 i6,并赋给 r5[24:16],将累加器 A[31:24]与 r4 中原 freq[31:24]和进位 i5 相加得到新的 A[31:24]和进位 i7,并赋给 r5[33:25],r4 中剩下的数据直接赋给 r5。

6)第六级流水线将累加器 A[31:24]与 r5 中原 phase[31:24]和进位 i6 相加得到 result[31:24]和进位 i8,并赋给 r6[31:24],r5 中剩下的数据直接赋给 r6。r6[31:0]就是我们的最终结果 result[31:0]。

使用 ModelSim 仿真软件,该流水线技术 DDS 的仿真波形图如图 4 所示,其中 ROM 表中的波形是正弦波。

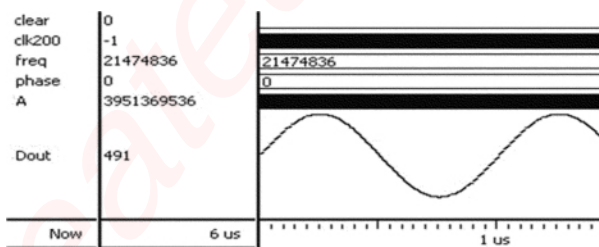


图 4 1MHz 正弦信号 Dout 的仿真波形图

3.3 DAC 转换模块

DAC 采用 12 位并行数模转换器 AD7541,采用双极性输出方式,输出公式为 $V = V_{REF} - V_{REF} * NB / 2^{11}$ 。其中, V_{REF} 为输入基准电压, NB 为数字输入量(取值范围为 0 至 $2^{12} - 1$)。 V_{REF} 取 2.048V, V 的取值区间为 [2.048, -2.047]V,精度为 0.001V。为了使上下对称,控制 NB 的取值范围为 1 至 $2^{12} - 1$,那么 V 的取值区间为 [-2.047, 2.047]V,再通过反相比例放大电路,将电压反向放大 1/2.047 倍,最终信号输出在 [-1, 1]V 之间,精度为 0.0005V。

3.4 ROM 中波形数据的采集

在 MATLAB 中生成 ROM 中的波形数据,数据以 .mif 格式存储,然后通过 PC 机下载到 FPGA 的 ROM 中。

假设周期波形的函数为 $f(x)$, 求出函数的周期 T,那么 $f(x) = f(x + T)$, 求出函数 $f(x)$ 的绝对值函数 $|f(x)|$ 的最大值 MAX,那么 $f(x)$ 的取值区间为 $[-MAX, MAX]$ 。ROM 表的寻址地址是 14 位,那么一共需要在 $[0, T)$ 上等间隔采集 2^{14} (16384) 个数据,而 DAC 是 12 位的数模转换器,那么每个数据需要一一映射到 12 位 DAC 转换器的 12 位数据上,映射形式如表格 1 所示。

表格 1

f(x)	12 位 D/A 数据
MAX	1111,1111,1111
0	1000,0000,0000
-MAX	0000,0000,0001

3.5 波形信号放大模块

波形信号放大模块是一个上下对称的电路,上半部分为正信号放大,截止负信号,下半部分为负信号放大,截止正信号。电路通过分压电阻 R1、R2 将信号送给电压比较器,通过电压负反馈^[6-7]将信号反馈给输出,输出电压 V_{out} 的计算公式为:

$$V_{out} = V_{in} * R2 / R1 \quad (3)$$

其中,R2 采用一个数控电位器 X9313W 和一个数控电位器 X9313U 串联,编程控制 R9 的取值范围为 [323, 12920] 欧姆,步进为 323 欧姆,R1 的值为 3230 欧姆,那么 V_{out} 将为输入信号的 [0.1, 40] 倍,精度为 0.1 倍。

使用 Pspice 对该电路进行仿真:输入 V_{in} 为 1Hz 的正弦信号,当放大倍数分别是 1、5、10、20、40 时,输出信号 V_{out} 的仿真波形图如图 5 所示。

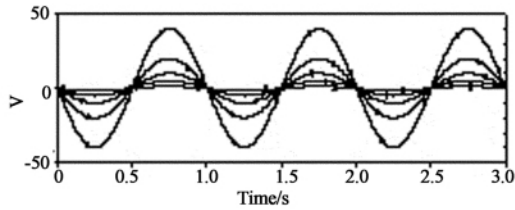


图 5 不同放大倍数时输出信号的仿真波形图

4 结 论

使用 FPGA 来替代传统的 DDS 芯片,具有高分辨率、低失真度、低功耗等优点。采用流水线的相位累加器可以进一步增加输出频率的精度。FPGA 的 ROM 中的数据可以根据实际情况进行更改,体现了电路的灵活性。使用并行 DAC,保证数据的转换速度,保证电路在高频时信号不延时或失真。

参考文献

- [1] 刘畅,李智.基于 FPGA 的任意波形发生器的设计[J].微计算机信息,2010,2:131-132.
- [2] M Y Chua, V C Koo. FPGA-based chirp generator for high resolution UAV SAR[J]. Progress In Electromagnetics Research, 2009,99:71-88.
- [3] 钟文峰,胡永忠.基于 FPGA 的频率合成器的实现[J].科技信息,2010,23:111-113.
- [4] Kesoulis M J, Koukourlis C S, Lygouras J N. Design and implementation of a DDS-based multi-carrier GMSK modulator [J]. International Journal of Communication Systems, 2009,8:971-987.
- [5] 李辉.基于 FPGA 的数字系统设计[M].西安:西安电子科技大学出版社,2008.11.
- [6] 倪本来.高稳定度电源[M].北京:人民邮电出版社,1982.12.
- [7] [日]互川治郎.实用电源电路设计[M].北京:科学出版社,2006.1.