

逻辑电平设计规范

1、TTL 器件和 CMOS 器件的逻辑电平

1.1: 逻辑电平的一些概念

要了解逻辑电平的内容，首先要知道以下几个概念的含义：

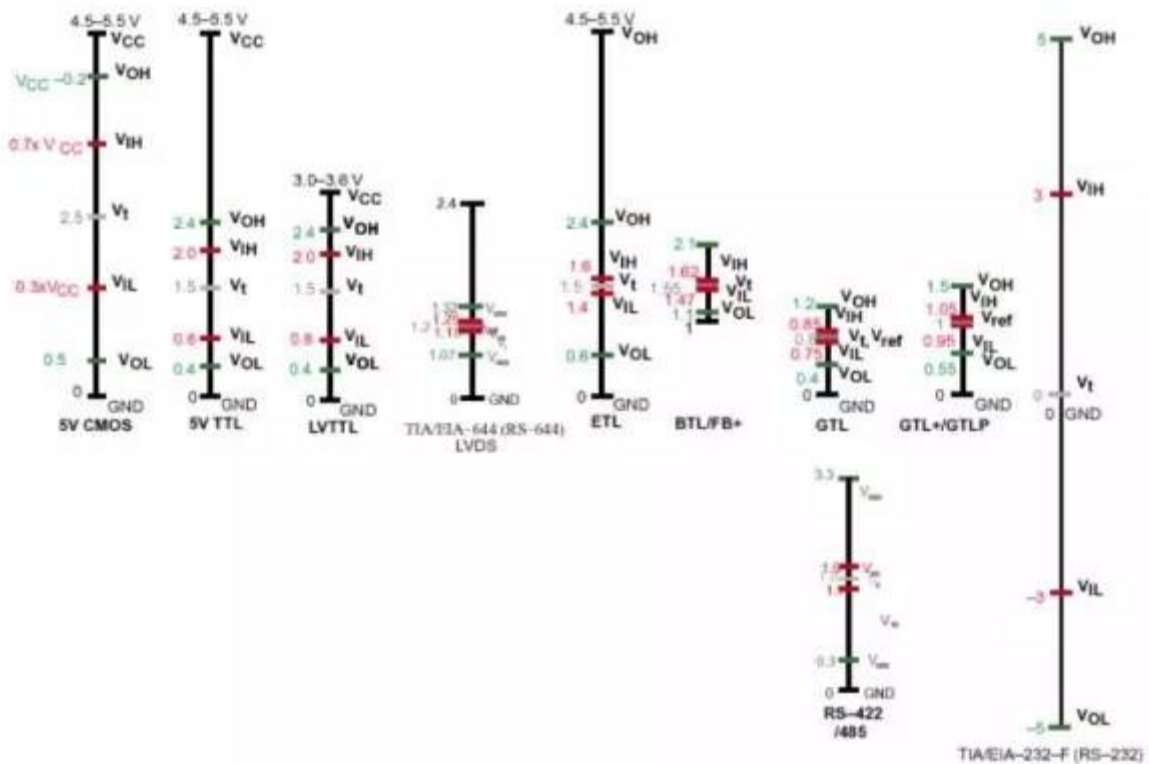
1: 输入高电平 (V_{IH}) : 保证逻辑门的输入为高电平时所允许的最小输入高电平，当输入电平高于 V_{IH} 时，则认为输入电平为高电平。

2: 输入低电平 (V_{IL}) : 保证逻辑门的输入为低电平时所允许的最大输入低电平，当输入电平低于 V_{IL} 时，则认为输入电平为低电平。

3: 输出高电平 (V_{OH}) : 保证逻辑门的输出为高电平时的输出电平的最小值，逻辑门的输出为高电平时的电平值都必须大于此 V_{OH} 。

4: 输出低电平 (V_{OL}) : 保证逻辑门的输出为低电平时的输出电平的最大值，逻辑门的输出为低电平时的电平值都必须小于此 V_{OL} 。

5: 阈值电平(V_T): 数字电路芯片都存在一个阈值电平，就是电路刚刚勉强能翻转作时的电平。它是一个介于 V_{IL} 、 V_{IH} 之间的电压值，对于 CMOS 电路的阈值电平，基本上是二分之一的电源电压值，但要保证稳定的输出，则必须要求输入高电平 $> V_{IH}$ ，输入低电平 $< V_{IL}$ ，而如果输入电平在阈值上下，也就是 $V_{IL} \sim V_{IH}$ 这个区域，电路的输出会处于不稳定状态。



对于一般的逻辑电平，以上参数的关系如下：

$$V_{OH} > V_{IH} > V_T > V_{IL} > V_{OL}$$

- 6: IOH: 逻辑门输出为高电平时的负载电流（为拉电流）。
- 7: IOL: 逻辑门输出为低电平时的负载电流（为灌电流）。
- 8: IIH: 逻辑门输入为高电平时的电流（为灌电流）。
- 9: IIL: 逻辑门输入为低电平时的电流（为拉电流）。

扇出能力也就是输出驱动能力，通常用驱动同类器件的数量来衡量。

TTL：扇出能力一般在 10 左右。

CMOS：静态时扇出能力达 1000 以上，但 CMOS 的交流（动态）扇出能力没有这样高，要根据工作频率和负载电容来考虑决定。

限制因素是输入信号上升时间：本身输出电阻和下级输入电容形成积分电路影响输入信号的上升时间（输入信号从低电平上升到 $V_{IH \min}$ 所需时间），实际电路当中，尽量使被驱动输入端限制在 10 以内。

ECL：由于 ECL 的工作速度快，考虑到负载电容的影响，ECL 的扇出一般限制在 10 以内。

门电路输出极在集成单元内不接负载电阻而直接引出作为输出端，这种形式的门称为开路门。开路的 TTL、CMOS、ECL 门分别称为集电极开路（OC）、漏极开路（OD）、发射

RT Embedded <http://www.kontron.com>

极开路 (OE)，使用时应审查是否接上拉电阻 (OC、OD 门) 或下拉电阻 (OE 门)，以及电阻阻值是否合适。对于集电极开路 (OC) 门，其上拉电阻阻值 R_L 应满足下面条件：

$$(1) : R_L < (V_{CC} - V_{OH}) / (n \cdot I_{OH} + m \cdot I_{IH})$$

$$(2) : R_L > (V_{CC} - V_{OL}) / (I_{OL} + m \cdot I_{IL})$$

其中 n ：线与的开路门数； m ：被驱动的输入端数。

1.2：常用的逻辑电平

逻辑电平：有 TTL、CMOS、ECL、PECL、GTL；RS232、RS422、LVDS 等。

其中 TTL 和 CMOS 的逻辑电平按典型电压可分为四类：5V 系列 (5V TTL 和 5VCMOS)、3.3V 系列，2.5V 系列和 1.8V 系列。

5V TTL 和 5V CMOS 逻辑电平是通用的逻辑电平。

3.3V 及以下的逻辑电平被称为低电压逻辑电平，常用的为 LVTTTL 电平。低电压的逻辑电平还有 2.5V 和 1.8V 两种。

ECL/PECL 和 LVDS 是差分输入输出。

RS-422/485 和 RS-232 是串口的接口标准，RS-422/485 是差分输入输出，RS-232 是单端输入输。

1.3 开路门

门电路输出极在集成单元内不接负载电阻而直接引出作为输出端，这种形式的门称为开路门。开路的 TTL、CMOS、ECL 门分别称为集电极开路 (OC)、漏极开路 (OD)、发射极开路 (OE)，使用时应审查是否接上拉电阻 (OC、OD 门) 或下拉电阻 (OE 门)，以及电阻阻值是否合适。对于集电极开路 (OC) 门，其上拉电阻阻值 R_L 应满足下面条件：

$$(1) : R_L < (V_{CC} - V_{oh}) / (n \cdot I_{oh} + m \cdot I_{ih}) \text{ 拉电流尽可能大}$$

$$(2) : R_L > (V_{CC} - V_{ol}) / (I_{ol} + m \cdot I_{il}) \text{ 灌电流尽可能小}$$

其中 n ：线与的开路门数； m ：被驱动的输入端数。

2、逻辑电平匹配

2.1 为什么要进行逻辑电平匹配？

TTL、CMOS、ECL 等输入、输出电平标准不一致，同时采用上述多种器件互连时，为了使前级输出的逻辑 0 和 1 能被后级安全、可靠地识别，应考虑电平之间的转换问题。

另一方面各种器件所需的输入电流、输出驱动电流不同，为了驱动大电流器件、远距离传输、同时驱动多个器件，都需要审查电流驱动能力：输出电流应大于负载所需输入电流。

2. 进行逻辑电平匹配所要遵循的原则

- a. 电平关系，驱动器件的输出电压必须处在负载器件所要求的输入电压范围，包括高、低电压值。
 - b. 驱动能力，驱动器件必须能对负载器件提供灌电流最大值。驱动器件必须对负载器件提供足够的拉电流。
 - c. 时延特性，在高速信号进行逻辑电平转换时，会带来较大的延时，设计时一定要充分考虑其容限。
 - d. 选用电平转换逻辑芯片时应慎重考虑，反复对比。通常逻辑电平转换芯片为通用转换芯片，可靠性高，设计方便，简化了电路，但对于具体的设计电路一定要考虑以上三种情况，合理选用。
 - e. 应保证合格的噪声容限 ($V_{ohmin} - V_{ihmin} \geq 0.4V$, $V_{ilmax} - V_{olmax} \geq 0.4V$), 并且输出电压不超过输入电压允许范围。
 - f. 对上升/下降时间的影响。应保证 T_{plh} 和 T_{phl} 满足电路时序关系的要求和 EMC 的要求。
 - g. 对电压过冲的影响。过冲不应超出器件允许电压绝对最大值，否则有可能导致器件损坏。
- 其中条件 1，属于门电路电压兼容性的问题，条件 2 属于扇出数的问题。

2.2 实例

5V TTL 门作驱动源

驱动 3.3V TTL/CMOS 通过 LVC/LVT 系列器件 (为 TTL/CMOS 逻辑电平输入, LVTTTL 逻辑电平输出) 进行转换。

驱动 5V CMOS 上拉 5V 电阻, 或使用 AHCT 系列器件 (为 5V TTL 输入、5V CMOS 输出) 进行转换。

3.3V TTL/CMOS 门作驱动源

驱动 5V CMOS 使用 AHCT 系列器件（为 5V TTL 输入、5V CMOS 输出）进行转换（3.3V TTL 电平（LVTTTL）与 5V TTL 电平可以互连）。

5V CMOS 门作驱动源

驱动 3.3V TTL/CMOS 通过 LVC/LVT 器件（输入是 TTL/CMOS 逻辑电平，输出是 LVTTTL 逻辑电平）进行转换。

2.5V CMOS 逻辑电平的互连

随着芯片技术的发展，未来使用 2.5V 电压的芯片和逻辑器件也会越来越多，这里简单谈一下 2.5V 逻辑电平与其他电平的互连，主要是谈一下 2.5V 逻辑电平与 3.3V 逻辑电平的互连。（注意：对于某些芯片，由于采用了优化设计，它的 2.5V 管脚的逻辑电平可以和 3.3V 的逻辑电平互连，此时就不需要再进行逻辑电平的转换了。）

1) 3.3V TTL/CMOS 逻辑电平驱动 2.5V CMOS 逻辑电平

2.5V 的逻辑器件有 LV、LVC、AVC、ALVT、ALVC 等系列，其中前面四种系列器件工作在 2.5V 时可以容忍 3.3V 的电平信号输入而 ALVC 不行，所以可以使用 LV、LVC、AVC、ALVT 系列器件来进行 3.3V TTL/CMOS 逻辑电平到 2.5V CMOS 逻辑电平的转换。

2) 2.5V CMOS 逻辑电平驱动 3.3V TTL/CMOS 逻辑电平

2.5V CMOS 逻辑电平的 V_{OH} 为 2.0V，而 3.3V TTL/CMOS 的逻辑电平的 V_{IH} 也为 2.0V，所以直接互连的话可能会出问题（除非 3.3V 的芯片本身的 V_{IH} 参数明确降低了）。此时可以使用双轨器 SN74LVCC3245A 来进行 2.5V 逻辑电平到 3.3V 逻辑电平的转换。

2.3 差分信号接口

a. CML 接口

CML 是所有高速数据接口形式中最简单的一种，它的输入与输出是匹配好的，从而减少了外围器件，也更适合于在高的频段工作。它所提供的信号摆幅较小，从而功耗更低。

表格2. CML 输入和输出参数

参数	条件	最小	典型	最大	单位
差分输入电压		640	800	1000	mV
输出共模电压			$V_{cc}-0.2$		V
单端输入电压范围	V_{cc}	$V_{cc}-0.6$		$V_{cc}+0.2$	V
差分输入电压摆幅		400		1000	MV _{p-p}

CML 接口输出结构：CML 接口的输出电路形式是一个差分对，该差分对的集电极电阻为 50Ω ，如图 3 中所示，输出信号的高低电平切换是靠共发射极差分对的开关控制的，差分对的发射极到地的恒流源典型值为 16mA ，假定 CML 输出负载为一 50Ω 上拉电阻，则单端 CML 输出信号的摆幅为 $V_{cc} \sim V_{cc}-0.4\text{V}$ 。在这种情况下，差分输出信号摆幅为 800mV ，共模电压为 $V_{cc}-0.2\text{V}$ 。若 CML 输出采用交流耦合至 50Ω 负载，这时的直流阻抗有集电极电阻决定，为 50Ω ，CML 输出共模电压变为 $V_{cc}-0.4\text{V}$ ，差分信号摆幅仍为 800mV 。在交流和直流耦合情况下输出波形见图。

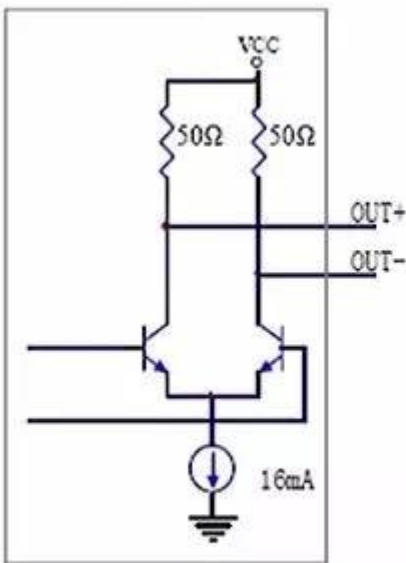


图3. CML 输出结构

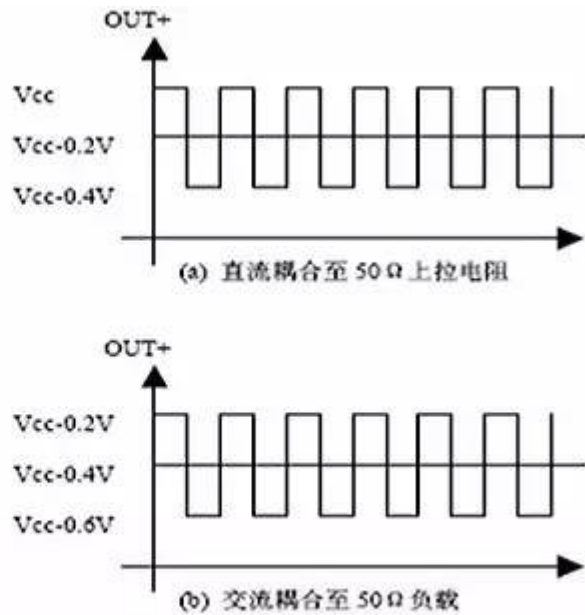


图4. CML 在不同负载时的输出波形

CML 接口输入结构：

CML 输入结构有几个重要特点，这也使它在高速数据传输中成为常用的方式，如图所示，MAXIM 公司的 CML 输入阻抗为 50Ω ，容易使用。输入晶体管作为射随器，后面驱动一差分放大器。

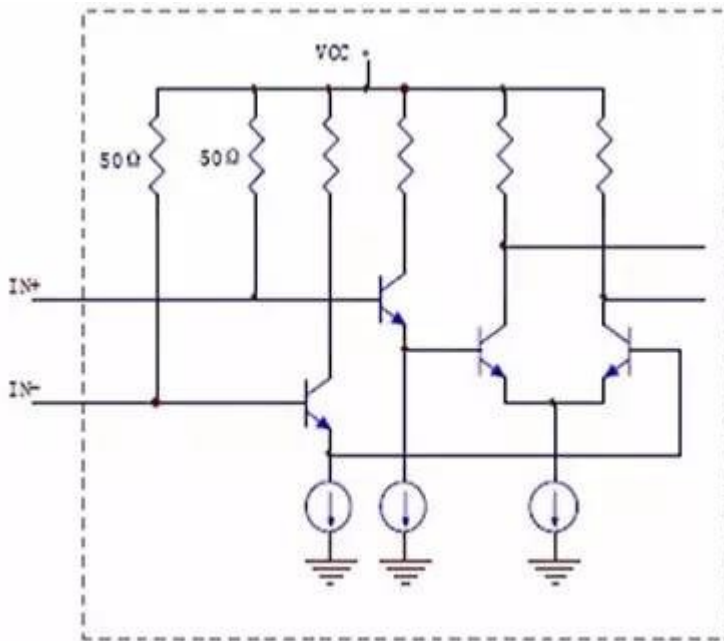


图5. CML 输入电路结构

b. PECL 接口

PEL 是有 ECL 标准发展而来，在 PECL 电路中省去了负电源，较 ECL 电路更方便使用。PECL 信号的摆幅相对 ECL 要小，这使得该逻辑更适合于高速数据的串性或并行连接。

表格1. PECL 输入输出指标

参数	条件	最小值	典型值	最大值	单位
输出高电平	Ta=0°C~85°C	Vcc-1.025		Vcc-0.88	V
	Ta=-40°C	Vcc-1.085		Vcc-0.88	V
输出低电平	Ta=0°C~85°C	Vcc-1.81		Vcc-1.62	V
	Ta=-40°C	Vcc-1.83		Vcc-1.55	V
输入高电平		Vcc-1.16		Vcc-0.88	V
输入低电平		Vcc-1.81		Vcc-1.48	V

PECL 接口输出结构：PECL 电路的输出结构如图 1 所示，包含一个差分对和一对射随器。输出射随器工作在正电源范围内，其电流始终存在，这样有利于提高开关速度。标准的输出负载是接 50Ω 至 VCC-2V 的电平上，如图 1 中所示，在这种负载条件下，OUT+ 与 OUT- 的静态电平典型值为 VCC-1.3V，OUT+ 与 OUT- 输出电流为 14mA。PECL 结构的输出阻抗很低，典型值为 4~5 Ω，这表明它有很强的驱动能力，但当负载与 PECL 的输出端之间有一段传输线时，低的阻抗造成的失配将导致信号时域波形的振铃现象。

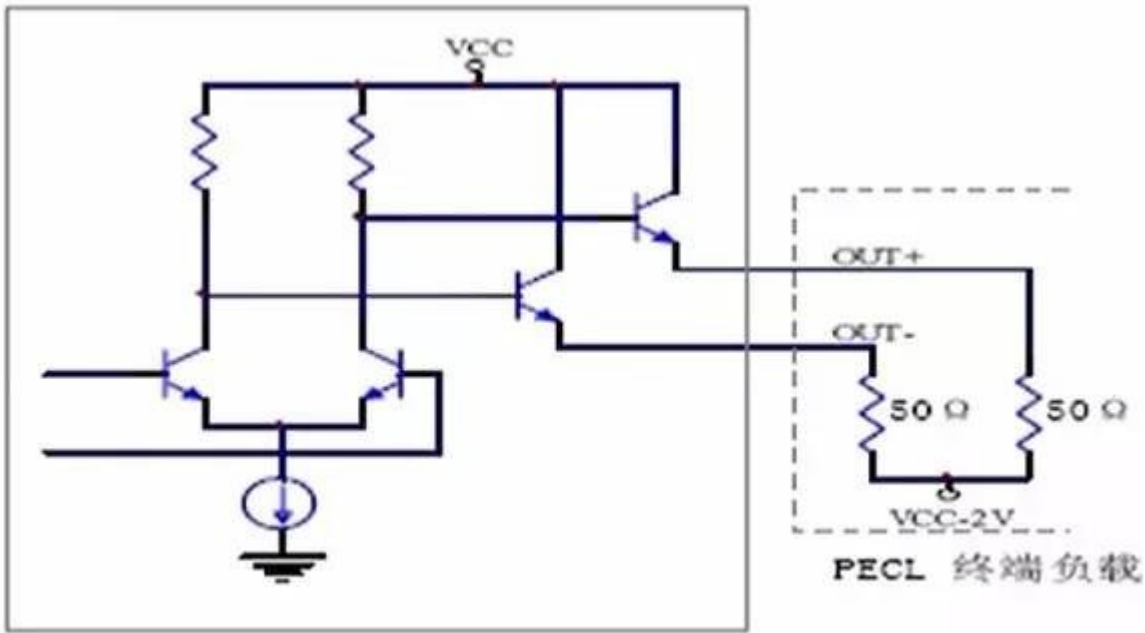


图1. PECL 输出结构

PECL 接口输入结构：PECL 输入结构如图所示，它是一个具有高输入阻抗的差分对。该差分对共模输入电压需偏置到 $VCC-1.3V$ ，这样允许的输入信号电平动态最大。MAXIM 公司的 PECL 接口有两种形式的输入结构，一种是在芯片上已加有偏置电路，如 MAX3867、MAX3675，另一种则需要外加直流偏置。

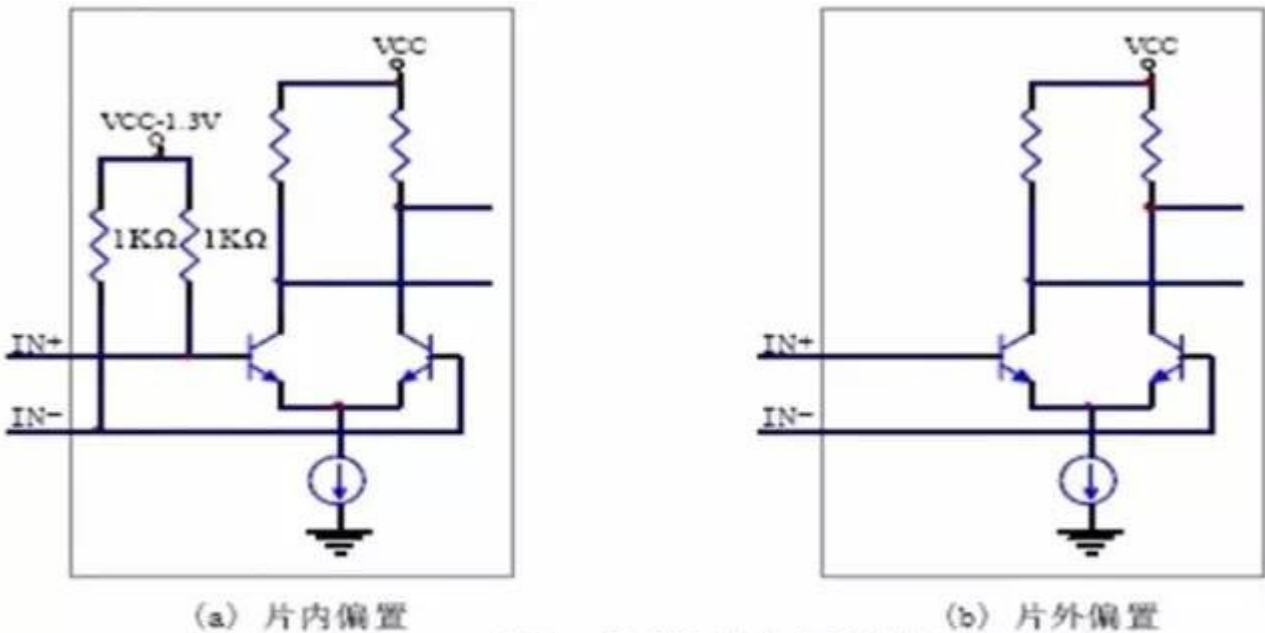


图2. PECL 输入电路结构

3. LVDS 接口

LVDS 用于低压差分信号点到点的传输，该方式有三大优点，从而使得它更具有吸引力。A) LVDS 传输的信号摆幅小，从而功耗低，一般差分线上电流不超过 4mA，负载阻抗为 100Ω。这一特征使它适合做并行数据传输。

B) LVDS 信号摆幅小，从而使得该结构可以在 2.4V 的低电压下工作。

C) LVDS 输入单端信号电压可以从 0V 到 2.4V 变化，单端信号摆幅为 400mV，这样允许输入共模电压从 0.2V 到 2.2V 范围内变化，也就是说 LVDS 允许收发两端地电势有 $\pm 1V$ 的落差。

表格3. LVDS 输入与输出参数

参数	符号	条件	最小	典型	最大	单位
LVDS 输出高电压	V_{OH}				1.475	V
LVDS 输出低电压	V_{OL}		0.925			V
LVDS 输出差分电压	$ V_{Od} $		250		400	mV
LVDS 在不同状态时输出差分电压波动	$\Delta V_{Od} $				25	mV
LVDS 输出电压偏移量			1.125		1.275	V
LVDS 在不同状态时输出电压偏移量波动	$\Delta V_{Os} $				25	mV
LVDS 输出差分阻抗			80		120	Ω
LVDS 输出电流		两差分端相接			12	mA
		差分单端到地短路			40	mA
LVDS 输入单端电压范围	V_i		0		2.4	V
LVDS 输入差分信号灵敏度	$ V_{id} $		100			mV
LVDS 输入共模电流		$V_{OS} = 1.2V$ 时		350		μA
LVDS 回滞门限宽度				70		mV
LVDS 输入差分阻抗	R_{in}		85	100	115	Ω

LVDS 接口输出结构：电路差分输出阻抗为 100 Ω ，表三列出了其他一些指标。

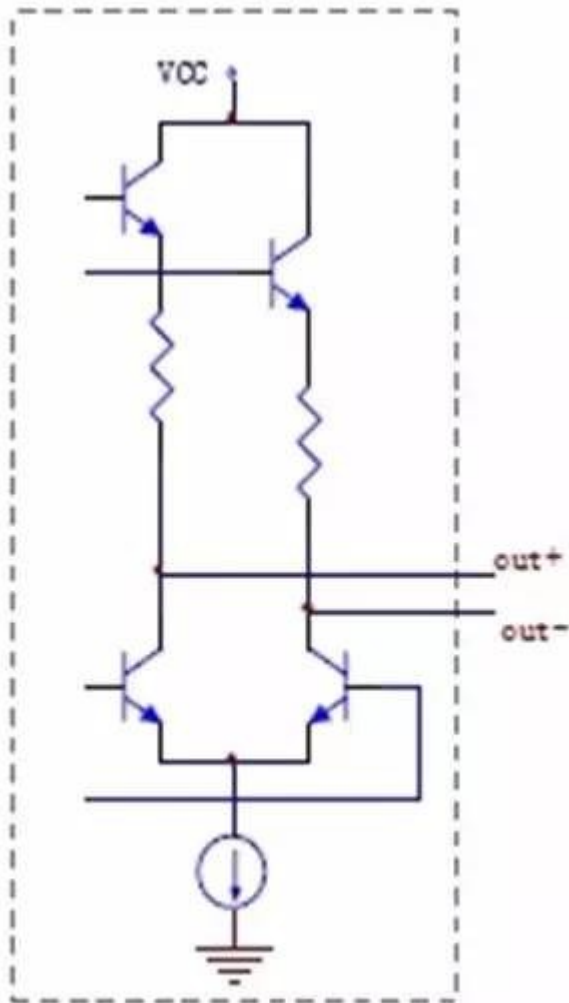


图6. LVDS 输出结构

LVDS 接口输入结构：LVDS 输入结构如图所示，输入差分阻抗为 100Ω ，为适应共模电压宽范围内的变化，输入级还包括一个自动电平调整电路，该电路将共模电压调整为一固定值，该电路后面是一个 SCHMITT 触发器。SCHMITT 触发器为防止不稳定，设计有一定的回滞特性，SCHIMITT 后级是差分放大器。

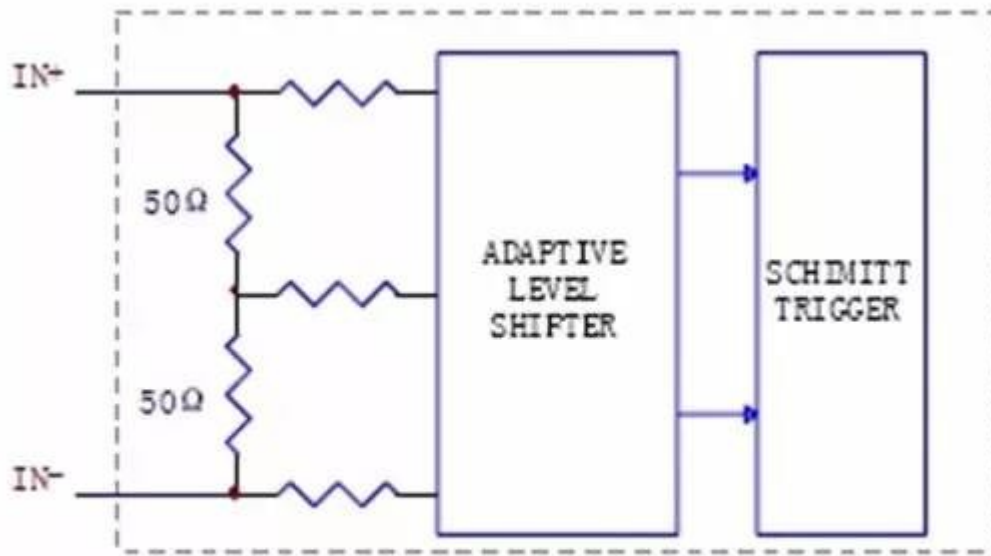


图7. LVDS 输入结构

2.4、差分信号接口的连接

a. CML 到 CML 的连接

CML 到 CML 之间连接分两种情况，当收发两端的器件使用相同的电源时，CML 到 CML 可以采用直流耦合方式，这时不需加任何器件；当收发两端器件采用不同电源时，一般要考虑交流耦合，如图 8 中所示，注意这时选用的耦合电容要足够大，以避免在较长连 0 或连 1 情况出现时，接收端差分电压变小。

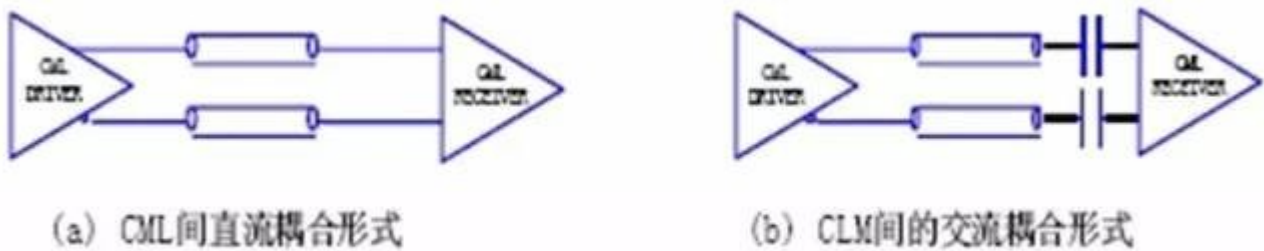


图8. CML 到 CML 之间的连接

b. PECL 到 PECL 的连接

PECL 到 PECL 的连接分直流耦合和交流耦合两种形式，下面分别介绍：

直流耦合情况

PECL 负载一般考虑是通过 50Ω 接到 Vcc-2V 的电源上（此时也正好满足输入端经 50Ω 到 Vcc-1.3V ），一般该电源是不存在的，因此通常的做法是利用电阻分压网络做等效电路，如图 9 中所示，该等效电路应满足如下方程：

$$V_{cc} - 2V = V_{cc} \frac{R_2}{R_1 + R_2}$$

$$\frac{R_1 * R_2}{R_1 + R_2} = 50 \Omega$$

$$R_1 = \frac{50 V_{cc}}{V_{cc} - 2V} \quad R_2 = 25 V_{cc}$$

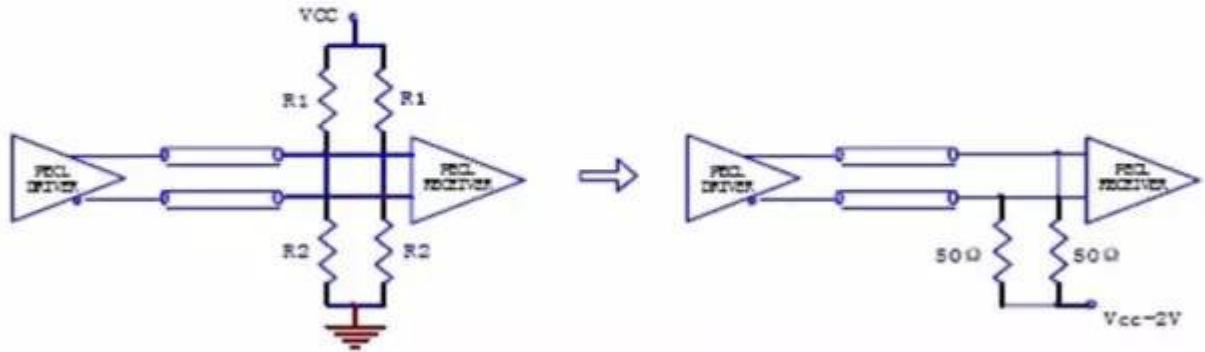


图9. 等效电路形式

在 3.3V 供电时，电阻按 5% 的精度选取，R1 为 130Ω，R2 为 82Ω。而在 5V 供电时，R1 为 82Ω，R2 为 130Ω(125Ω)。

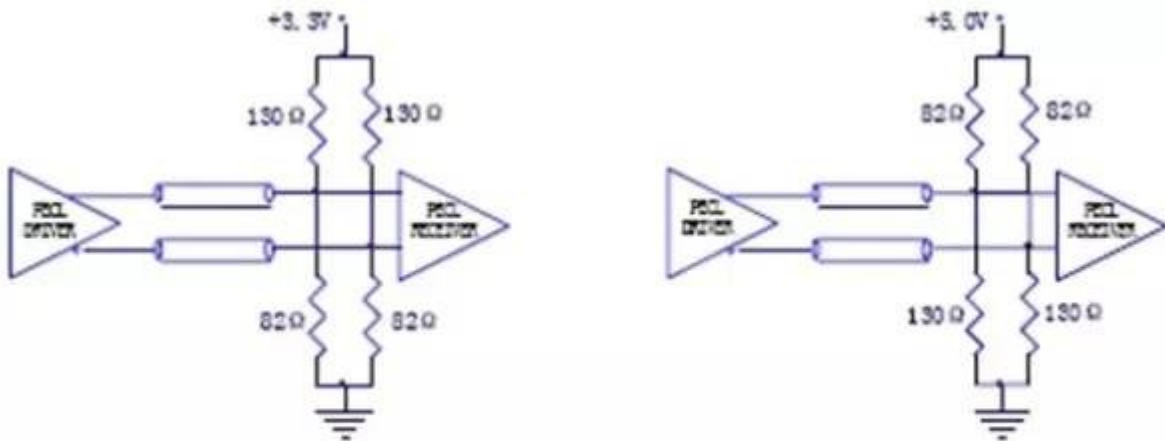
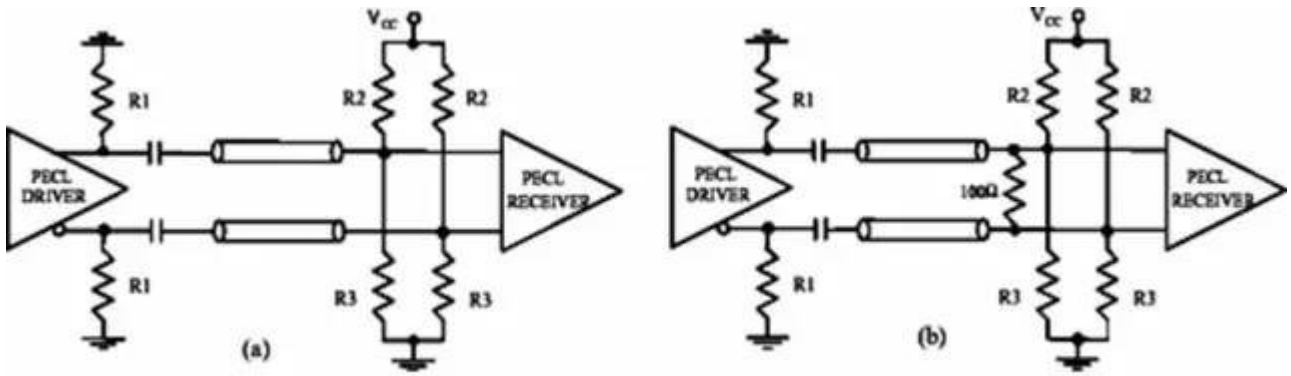


图10. PECL 电路间直流耦合

这种等效电路同时提供 50Ω (上图两个电阻的并联值) 的交流阻抗以匹配传输线。然而并没有规定，PECL 的输出阻抗要和传输线特征阻抗匹配。

交流耦合情况

PECL 在交流耦合输出到 50Ω 的终端负载时，要考虑 PECL 的输出端加一直流偏置电阻。



PECL 的输出共模电压需固定在 $V_{cc}-1.3V$ ，在选择直流偏置电阻时仅需该电阻能够提供 14mA 到地的通路，这样 $R1 = (V_{cc}-1.3V) / 14mA$ 。在 3.3V 供电时， $R1=142\Omega$ ，5V 供电时， $R1=270\Omega$ 。然而这种方式给出的交流负载阻抗低于 50Ω，在实际应用中，3.3V 供电时， $R1$ 可以从 142Ω 到 200Ω 之间选取，5V 供电时， $R1$ 可以从 270Ω 到 350Ω 之间选取，原则是让输出波形达到最佳。

PECL 交流耦合另外有两种改进结构，一种是在信号通路上串接一个电阻，从而可以增大交流负载阻抗使之接近 50Ω；另一种方式是在直流偏置通道上串接电感，以减少该偏置通道影响交流阻抗。 $R3$ 和 $R2$ 的选择应考虑如下几点：

- (1) PECL 输入直流偏压应固定在 $V_{cc}-1.3V$ ；
- (2) 输入阻抗应等于传输线阻抗；
- (3) 低功耗；
- (4) 外围器件少。

LVDS 到 LVDS 的连接

因为 LVDS 的输入与输出都是内匹配的，所以 LVDS 间的连接可以如图中那样直接连接。

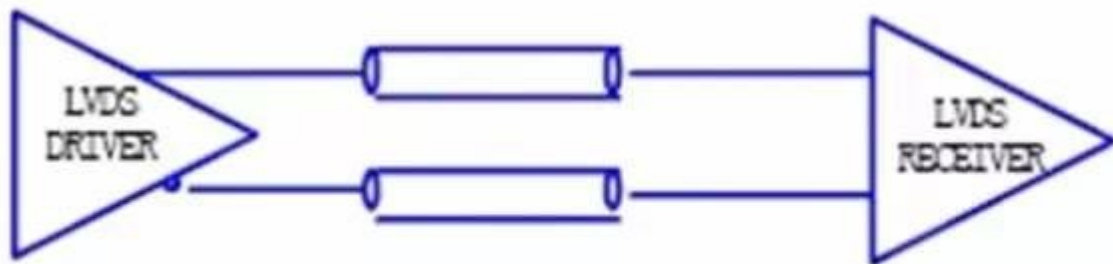


图12. LVDS 间连接

2.5. LVDS, PECL, CML 间的互连

在下面的讨论中，PECL 按 3.3V 供电考虑，即 LVPECL 情况。

a、LVPECL 到 CML 的连接

交流耦合情况

LVDS 到 CML 的一种连接方式就是交流耦合方式，如图 13 所示。在 LVPECL 的两个输出

端各加一个到地的偏置电阻，电阻值选取范围可以从 142Ω 到 200Ω 。如果 LVPECL 的输出信号摆幅大于 CML 的接收范围，可以在信号通道上串一个 25Ω 的电阻，这时 CML 输入端的电压摆幅变为原来的 0.67 倍。（LVPECL 输出摆幅 600-1000mV, CML 输入摆幅 400-1000mV）

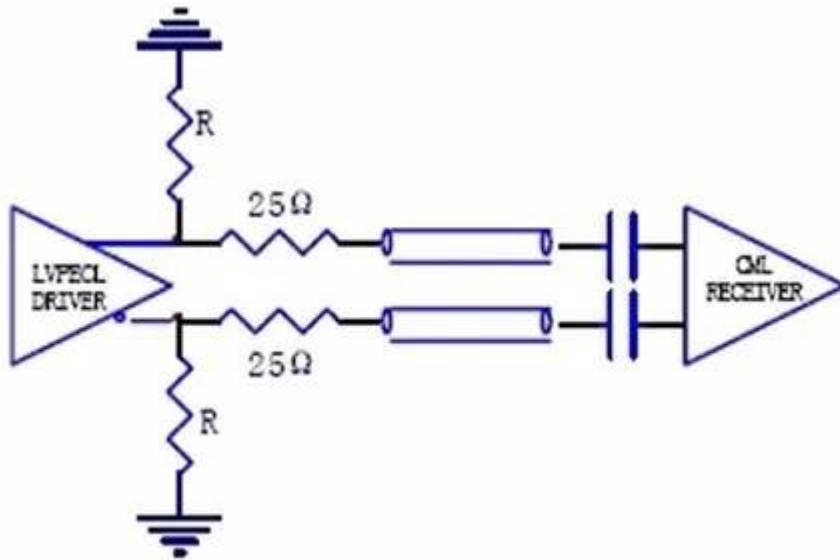
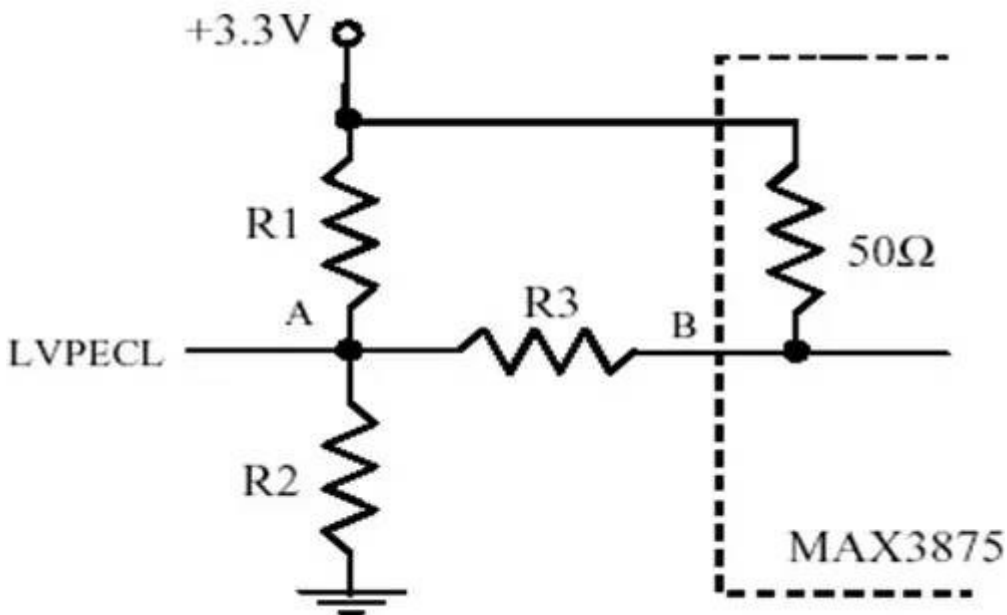


图13. LVPECL 到 CML 的交流耦合连接方式

直流耦合情况

在 LVPECL 到 CML 的直流耦合连接方式中需要一个电平转换网络，如图 14 中所示。该电平转换网络的作用是匹配 LVPECL 的输出与 CML 的输入共模电压。一般要求该电平转换网络引入的损耗要小，以保证 LVPECL 的输出经过衰减后仍能满足 CML 输入灵敏度的要求；另外还要求自 LVPECL 端看到的负载阻抗近似为 50Ω 。下面以 LVPECL 驱动 MAX3875 的 CML 输入为例说明该电平转换网络。



b、LVPECL 到 LVDS 的连接

直流耦合情况

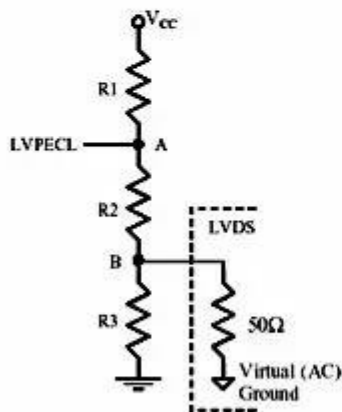
LVPECL 到 LVDS 的直流耦合结构需要一个电阻网络，如图 17 中所示，设计该网络时有这样几点必须考虑：首先，我们知道当负载是 50Ω 接到 V_{CC}-2V 时，LVPECL 的输出性能是最优的，因此我们考虑该电阻网络应该与最优负载等效；然后我们还要考虑该电阻网络引入的衰减不应太大，LVPECL 输出信号经衰减后仍能落在 LVDS 的有效输入范围内。注意 LVDS 的输入差分阻抗为 100Ω，或者每个单端到虚拟地为 50Ω，该阻抗不提供直流通路，这里意味着 LVDS 输入交流阻抗与直流阻抗不等。LVPECL 到 LVDS 的直流耦合所需的电阻网络需满足下面方程组：

$$V_A = V_{CC} - 2V = V_{CC} \cdot \frac{R_2 + R_3}{R_1 + R_2 + R_3}$$

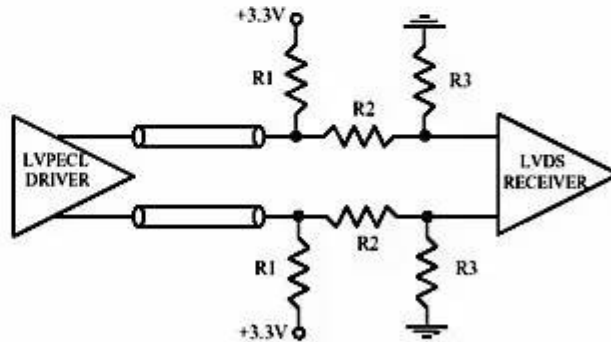
$$R_{AC} = R_1 // (R_2 + (R_3 // 50\Omega)) = 50\Omega$$

$$R_{DC} = R_1 // (R_2 + R_3) \approx 50\Omega$$

$$Gain = \frac{R_3 // 50\Omega}{R_2 + (R_3 // 50\Omega)} \geq 0.17$$



(a) Single-ended equivalent circuit



(b) LVPECL to LVDS interface

考虑 V_{CC} = +3.3V 情况，解上面的方程组得到：R₁ = 182 Ω，R₂ = 47.5 Ω，R₃ = 47.5 Ω，V_A = 1.13V，R_{AC} = 51.5 Ω，R_{DC} = 62.4 Ω，增益 = 0.337。通过该终端网络连接 LVPECL 输出与 LVDS 输入时，实测得 V_A = 2.1V，V_B = 1.06V。假定 LVPECL 差分最小输出电压为 930mV，在 LVDS 的输入端可达到 313mV，能够满足 LVDS 输入灵敏度要求。考虑信号较大时，如果 LVPECL 的最大输出为 1.9V，LVDS 的

最大输入电压则为 640mV，同样可以满足 LVDS 输入指标要求。(LVPECL 摆幅 600-1000mV, LVDS250-400mV)

交流耦合情况

LVPECL 到 LVDS 的交流耦合结构如图 18 所示，LVPECL 的输出端到地需加直流偏置电阻 (142Ω 到 200Ω)，同时信号通道上一定要串接 50Ω 电阻，以提供一定衰减。LVDS 的输入端到地需加 5KΩ 电阻，以提供共模偏置。

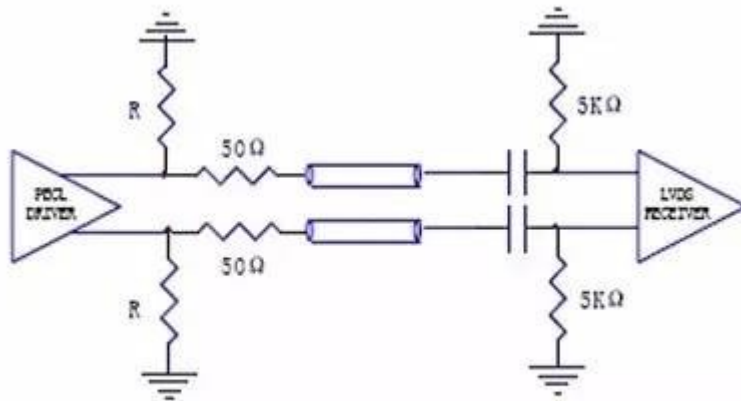
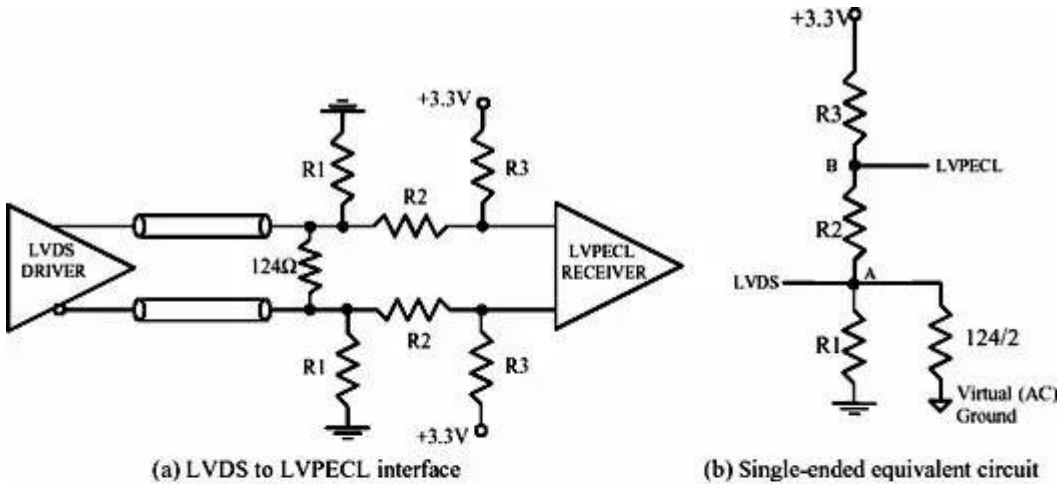


图18. LVPECL 到 LVDS 的交流耦合结构

c、LVDS 到 LVPECL 的连接

直流耦合情况

LVDS 到 LVPECL 的直流耦合结构中需要加一个电阻网络，如图 19 所示，该电阻网络完成直流电平的转换。LVDS 输出电为 1.2V，LVPECL 的输入电平为 $V_{CC}-1.3V$ 。LVDS 的输出是以地为基准，而 LVPECL 的输入是以电源为基准，这要求考虑电阻网络时应注意 LVDS 的输出电位不应对供电电源敏感；另一个问题是需要在功耗和速度方面折中考虑，如果电阻值取的较小，可以允许电路在更高的速度下工作，但功耗较大，LVDS 的输出性能容易受电源的波动影响；还有一个问题就是要考虑电阻网络与传输线的匹配。电阻值可以通过下面的方程导出。



$$V_A = V_{cc} \cdot \left(\frac{R1}{R1 + R2 + R3} \right) = 1.2V \quad (1)$$

$$V_B = V_{cc} \cdot \left(\frac{R1 + R2}{R1 + R2 + R3} \right) = V_{cc} - 1.3V \quad (2)$$

$$R_{IN} = \left(\frac{R3 \cdot (R1 + R2)}{R3 + (R1 + R2)} \right) // 62\Omega = 50\Omega \quad (3)$$

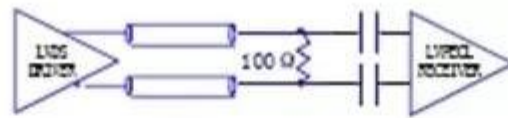
$$Gain = \frac{R3}{(R2 + R3)} \quad (4)$$

在 Vcc 电压为 3.3V 时，解上面的方程得：

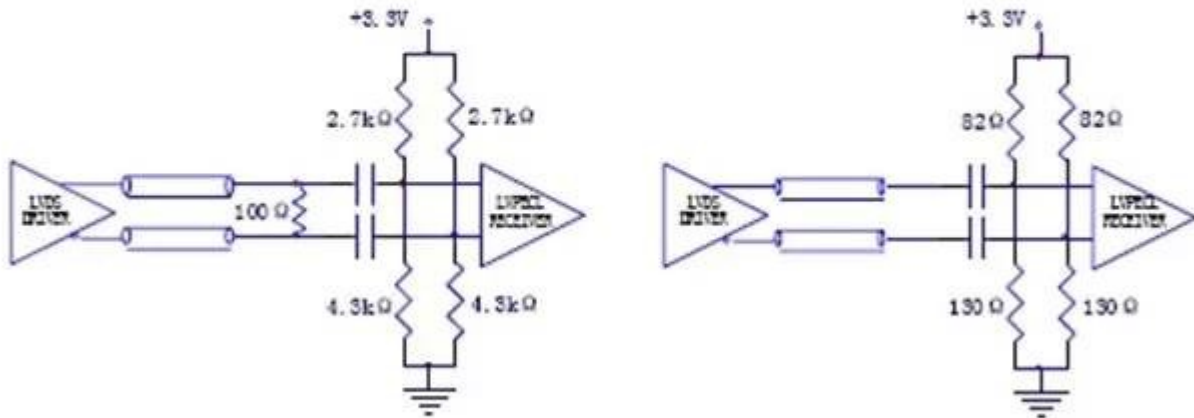
R1=374Ω，R2=249Ω，R3=402Ω，VA=1.2V，VB=2.0V，RIN=49Ω，Gain=0.62。LVDS 的最小差分输出信号摆幅为 500mV，在上面结构中加入到 LVPECL 输入端的信号摆幅变为 310mV，该幅度低于 LVPECL 的输入标准，但对于绝大多数 MAXIM 公司的 LVPECL 电路来说，该信号幅度是足够的，原因是 MAXIM 公司 LVPECL 输入端有较高的增益。在实际应用中，读者可根据器件的实际性能作出自己的判断。（LVPECL 摆幅 600-1000mV，LVDS 250-400mV）

交流耦合情况

LVDS 到 LVPECL 的交流耦合结构较为简单，图 20 给出了两个例子



(a) LVPECL 芯片内有直流偏置情况 (MAX3885)



(b) LVPECL 芯片内没有直流偏置情况 (MAX3867)

图20. LVDS 到 LVPECL 的交流耦合结构

d、CML 和 LVDS 间互连

一般情况下，在光传输系统中没有 CML 和 LVDS 的互连问题，因为 LVDS 通常用作并联数据的传输，数据速率为 155MHz，622MHz 或 1.25GHz，而 CML 常用来做串行数据的传输，数据速率为 2.5GHz 或 10GHz。不管怎样，作为特殊情况，在这里给出了它们间互连的交流解决方案，如图 21 和图 22。需注意 CML 的输出信号摆幅应落在 LVDS 的有效工作范围内。

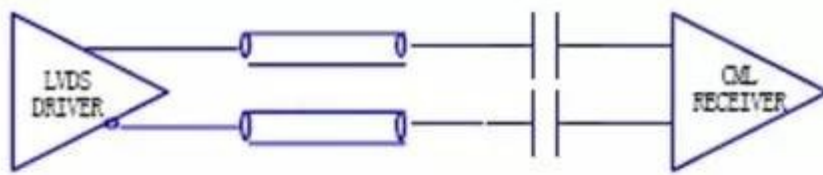


图21. LVDS 到 CML 的交流耦合结构

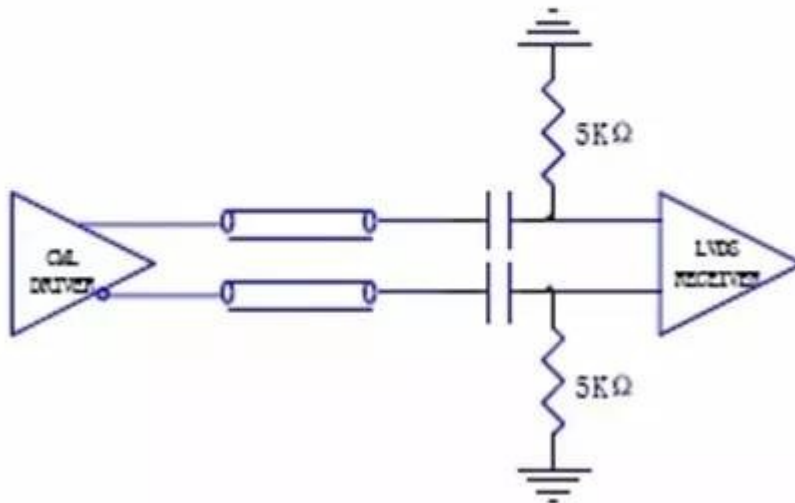


图22. CML 到 LVDS 的交流耦合结构