

# 应用分布式算法 在 FPGA 平台实现 FIR 低通滤波器

福州大学 福建省微电子集成电路重点实验室 李明伟 黄世震

**摘要** 在利用 FPGA 实现数字信号处理方面，分布式算法发挥着关键作用。与传统的乘加结构相比，具有并行处理的高效性特点。本文研究了一种 16 阶 FIR 滤波器的 FPGA 设计方法，采用 Verilog HDL 语言描述设计文件，在 Xilinx ISE 7.1i 和 ModelSim SE 6.1b 平台上进行了实验仿真及时序分析，并探讨了实际工程中硬件资源利用率及运算速度等问题。

**关键词**：FIR 滤波器、FPGA 分布式算法、窗函数、Verilog HDL

Applies the DA algorithm to realize the FIR filter in the FPGA platform

Li mingwei Huang Shizhen

(Microelectronic Integrated Circuit Lab of Fujian, Fuzhou University)

**Abstract**: In using the FPGA realization digital signal processing aspect, the DA algorithm is playing a key role, while compare the structure with the tradition, it has the parallel processing and the effectiveness special artillery. This article has studied 16 steps FIR filter based on FPGA, uses Verilog HDL description design document, platform has carried on the experimental simulation and the succession analysis in Xilinx ISE 7.1i and ModelSim SE 6.1b. And has discussed the hardware question and so on resources use factor and operating speed in the actual project.

**Keywords**: FIR filter, FPGA, DA algorithm, windows function, Verilog HDL

## 1 引言

随着系统对宽带、高速、实时信号处理要求越来越高，对滤波器的处理速度、带宽等性能要求也随之提高。FPGA 也在逐渐取代 ASIC 和 PDS 用作前端数字信号处理的运算（如：FIR 滤波、CORDIC 算法或 FFT）。

乘累加运算是实现大多数 DSP 算法的重要途径，而分布式算法则能够大大提高乘累加运算的效能。目前滤波器大致有以下几种实现方法。

（使用通用的可编程 DSP 芯片编程实现，它们主要的数学运算单元是乘累加器（MAC），MAC 能在一个机器时钟周期内完成一次乘累加运算，同时硬件上配备不同等级的流水结构和哈佛结构，能够实现高速实时的数字信号处理。但由于固定的硬件结构和流水等级，使得在应用上有所限制。同时，就是同一公司的不同系列 DSP 芯片，其编程的指令集也会有所不同，因而加大了开发周期。

（使用专用的 ASIC 数字信号处理芯片。这种方法是芯片体积小、保密好、性能高。缺点是功能单

一 灵活性小 多是对某种功能的设计。

(采用可编程逻辑器件 (CPLD/FPGA) FPGA 具有灵活的可编程逻辑 突破了并行处理与流水级数的限制 可以很好的实现信号处理的实时性。同时 开发程序的可移植性好 可以缩短开发周期 [1])

分布式算法可极大地减少硬件电路规模 很容易实现流水线处理 提高电路的执行速度 [4]

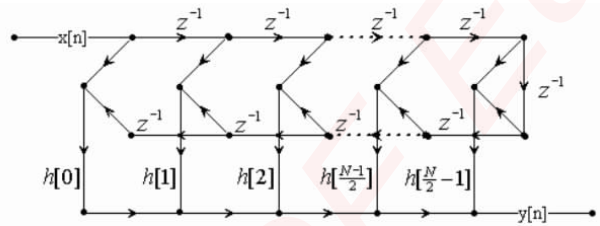


图 1 线性相位直接型结构

## 2 FIR滤波器与分布式算法的基本原理

一个抽头 FIR滤波器的输出由下式表示 :

$$y[n] = \sum_{n=0}^N x(n)h(N-1-n) \quad (1)$$

(式)中  $x(n)$  为输入数据 ,  $h(n)$  滤波器的冲激响应。根据线性相 FIR数字滤波器冲激响应的对称性 [2]可得公式 (乘法运算量减小了一半。实现如图 所示 其中  $N$  为奇数。

$$y[n] = \sum_{n=0}^{N/2-1} [x(n)+x(N-1-n)]h(n) + \sum_{k=0}^{N/2-1} A_k x_k \quad (2)$$

若设  $[x(n)+x(N-1-n)] = x_k$  ,  $h(n) = A_k$  则公式 (2) 以做一个等效 对于有符号数  $x_k$  用二进制补码表示 其中  $x_k$  为二进制数 为 或 1,  $A_k$  为常数 代入公式 (2) (3)。

$$y[n] = \sum_{k=0}^{N/2-1} A_k (-2^{B-1} x_{k,B-1} \sum_{i=0}^{B-2} 2^i x_{k,i}) = -2 \sum_{k=0}^{N/2-1} A_k x_{k,B-1} \sum_{k=0}^{N/2-1} \sum_{i=0}^{B-2} 2^i x_{k,i} \quad (3)$$

$$x_k = -2^{B-1} x_{k,B-1} \sum_{i=0}^{B-2} 2^i x_{k,i}$$

$$= -2 \sum_{k=0}^{N/2-1} A_k x_{k,B-1} \sum_{i=0}^{B-2} \sum_{k=0}^{N/2-1} A_k x_k$$

公式 (3)形式被称为分布式算法 [3]分布式算法是一种以实现乘加运算为目的的运算方法。它与传统算法实现乘加运算的不同在于执行部分积运算的先后顺序不同。简单地说 分布式算法在完成乘加功能时是通过将各输入数据每一对应位产生的部分积预先相加形成相应部分积 然后再对各部门积进行累加得到最终结果。与传统 (MAC)算法相比 ,

## 设计指标及用 Matlab设计 FIR滤波器

本论文采用分布式算法在 FPGA平台上实现 FIR低通滤波器 针对音频数据处理设定 FIR低通滤波器指标如表 所示。

表 1 FIR低通滤波器的参数指标

参数名	参数值	参数名	参数值
采样频率Fs	8.6KHz	截止频率Fc	3.4KHz
最小阻带衰减As	≤ -50dB	通带允许起伏	-1dB
输入数据宽度	8位	输出数据宽度	13位
阶数	16阶	类型	低通

Matlab设计 FIR滤波器提供了一个功能强大的工具箱 ,打开 Matlab FDA Tool (Filter Design & Analysis Tool)选择 Design Filter进入滤波器设计界面 选择滤波器类型为低通 FIR设计方法为窗口法 阶数为 16窗口类型为 Hamming,  $\beta$  为 0.5,  $F_s$  为 8.6KHz  $F_c$  为 3.4KHz此时可利用 FDA Tool相关工具分析所设计出的滤波器的幅频、相频特性 冲激、阶跃响应 零极点等。导出的滤波器系数如下 :

$$h(0)=h(15)=-0.0007 \quad h(1)=h(14)=-0.0025$$

$$h(2)=h(13)=0.012 \quad h(3)=h(12)=-0.0277$$

$$h(4)=h(11)=0.0357 \quad h(5)=h(10)=-0.0072$$

$$h(6)=h(9)=-0.1068 \quad h(7)=h(8)=0.5965$$

## 4 FPGA实现 FIR滤波器的几个关键问题

第一 冲激响应系数的处理。由 Matlab设计 FIR

滤波器系数是一系列的浮点数 而 FPGA不支持浮点数的运算 因此浮点数需转换成定点数 本设计采用 值量化法 把系数同扩大了  $2^{12}=4096$  然后转化为 1位二进制数。注意到 FIR滤波器系数有些是负数 因而二进制数是有符号位的数据 经过 A/D转换器的输入值是无符号位的 有符号数和无符号数是不可以直接运算的。所以处理负数是程序的一个难点。本设计将负数用补码来表示 且对系数进行扩展 即将系数增加一个符号位 ,代表负数 ,0代表正数。

第二 : ROM查找表的建立。基于 1位低通 FIR数字滤波器冲激响应的对称性 根据分布式算法的原理 可以做一张 ROM大小  $13 \times 2$ 的查找表。其中 1为 ROM系数的宽度 ,为阶数的一半 这样的查找表大小达到了 3.25Kbit,且随着阶数的增加 , ROM的大小将以 的幂次增加 资源的占用将是非常可怕的。本设计采用分割查找表的办法 大大减小了 ROM的大小 分析如下 本设计采用了两个 4输入 ROM来代替一个 输入 ROM,占用的资源 :

$N/8 \times 13 \times 2^4 = 416b$  是前面 ROM的  $1/8$  大大节省了硬件资源。 ROM参数的设定如表 所示 对于系数  $h_4 \sim h_7$  可以做一张类似的查找表 不同的是 ROM的数据为  $h_4 \sim h_7$

表 2 ROM参数设定

ROM地址	ROM数据	ROM地址	ROM数据
0000	0	1000	$h_0$
0001	$h_3$	1001	$h_0+h_3$
0010	$h_2$	1010	$h_0+h_2$
0011	$h_2+h_3$	1011	$h_0+h_2+h_3$
0100	$h_1$	1100	$h_0+h_1$
0101	$h_1+h_3$	1101	$h_0+h_1+h_3$
0110	$h_1+h_2$	1110	$h_0+h_1+h_2$
0111	$h_1+h_2+h_3$	1111	$h_0+h_1+h_2+h_3$

第三 加法器位数的处理。从查找表出来的数据为 1位 高位是符号位 加法器的宽度设定变得很关键 加法器的宽度可以用公式 (5)似估算 要设计加法器宽度取 2位。由于在系数处理的过程中 系数扩大了 4096 在最终的结果中要 4096 ( $2^{12}$ ), 即要在 2位的数据中去掉 1位的数据 所以结果的输出为 1位。

$$\text{加法器带宽} = \text{输入宽度} \times \text{系数宽度} \times (\log_2 L - 1) \quad (8)$$

(为滤波器的阶数)

## 用 FPGA实现的 FIR滤波器

FPGA采用 Xilinx公司的 Spartan3 XC3S400- PQ208芯片。EDA工具使用 Xilinx ISE 7.1及 ModelSim SE 6.1b本设计的 1位低通 FIR数字滤波器的基本结构框图如图 所示。

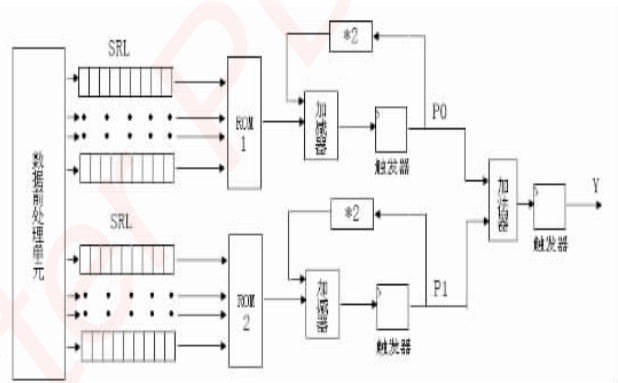


图 2 FPGA实现的硬件原理图

电路分为三个部分 第一部分即数据前处理单元 此电路完成数据的装入与数据的预相加 为后续电路做准备。具体的硬件电路为一个级连的寄存器组与 16位的加法器 第二部分为数据的中间处理单元 电路主要完成数据的相乘与累加 具体实现如下 读入预处理后的数据 分别给 16移位寄存器 ( SRL) 时钟上升沿到来时 分别将移位寄存器 ( SRL)的低位给 ROM的地址线 可以注意到 本设计为提高 FIR处理速度 两个 ROM的处理是完全并行的。 ROM输出的部分积由控制单元决定是实现相加还是相减运算 控制单元实际上是一个计数器、触发器和几个简单的组合电路构成。第三部分为数据的后处理单元 电路主要完成数据的输出 包括数据精度的控制。基于此硬件电路的特点 用 Verilog HDL硬件描述语言描述电路时 ,可以在电路中加入三级流水 以进一步提高 FIR滤波器的处理速度。

## 6 Xilinx的 XST综合分析 与 Model S 仿真分析

由 XST的综合报告可以得到此 FI滤波器使用硬件资源情况及滤波器的性能。其中使用的资源情况如下 从数据可以看出此种结构的硬件资源使用是相对较少的。

表 3 FI滤波器资源使用量  
(选用 Spartan3 XC3S400-PCQ器件 )

资源名	消耗量
Slices	195 out of 3584 5%
Slice Flip Flops	331 out of 7168 4%
4 input LUTs	241 out of 7168 3%
GCLKs	1 out of 8 12%

以下数据列出了该 FI滤波器的性能特点 :

Timing Summary: -----

Speed Grade: - 5

Minimum period: 6.638ns (Maximum Frequency: 150.639MHz)

Minimum input arrival time before clock: 4.105ns

Maximum output required time after clock: 6.314ns

由上数据 可以得到此 FI滤波器的最高工作频率可以达到 : 150.639MHz最高采样率可以达到 16.7MHz而 DS实现的 FI滤波器只能达到 5MSPS明显低于 FPGA用传统的位串行方式实现阶位 FI滤波器也只能达到 5MSPS明显低于串行式 DA方法。

Model S布局布线后仿真结果如图 所示。当 reset信号为低电平时 电路复位到初始状态 等待数据的输入。复位过后 每隔 一个时钟周期都有一次稳定的数据输出。可以把输入数据与输出数据载入 MATLAB进行频谱分析 进一步验证仿真结果的可靠性。

对于本设计而言 因为系统对速度要求不是很高 对 FI滤波器的采样率要求仅为 8.6KH而实

际设计的采样率最高达到 16.7MHz因而该设计结果完全可以满足系统的要求。

在对速度要求较高的场合 可以改进上述电路的结构。具体说就是改用并行分布式 ( PDA算法。将每个输入数据的相同位传递给 ROM不同的位有不同的 ROM然后将从 ROM中读取的数据经过处理后送入加法器中 每级的加法运算都是并行的。由于 SRL ROM加法器在 FPGA能实现很高的速度。但其不利的地方是使用多个数据相同的 ROM, 加大了资源的占用 而且随着输入数据的位宽增大 , 资源的消耗量将成倍增长。因此我们可以看到 , FPGA硬件资源与运算速度是一对矛盾体 在具体工程应用中 只有根据具体系统的性能需要才可以设计实用的电路。

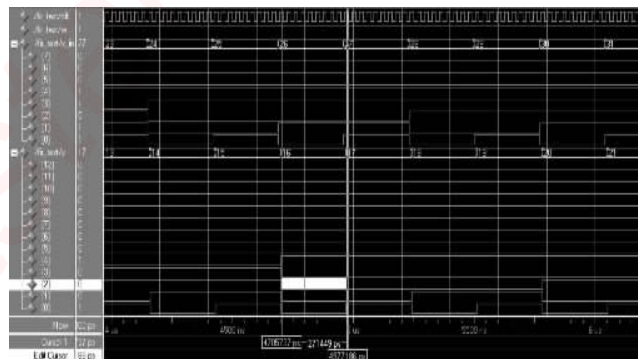


图 3 Model S中 FI滤波器后仿真波形图

## 结论

FPGA用作前端数字信号处理 ,可重复配置 FPGA具有开发周期短 降低成本的优势。串行 DA算法的计算速度与系统阶数无关 只与输入位宽有关 这种工作速度与阶数无关的性质非常适于求大规模乘积和的计算。对于位宽较大的输入 我们可以将其拆分 让电路并行工作成倍地提高处理速度。这个速度的提高是以电路规模的同倍数扩大为代价的。在实际工作中要根据 FI滤波器的采样率、采样精度 (字长 )系数特点以及滤波器阶数这四个主要因素 综合考虑 在性能与实现的硬件规模上做出最佳的权衡。■



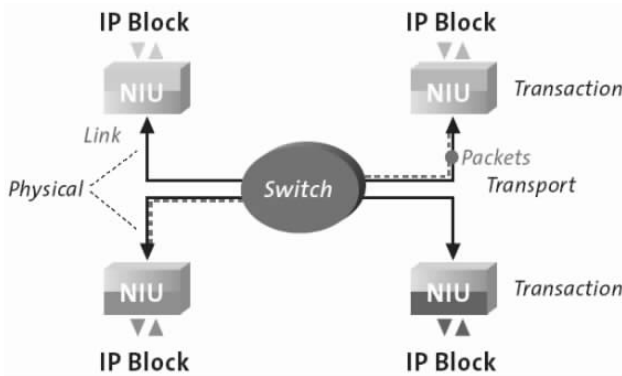


图 10 Arteri公司 NoC技术分层详解

递的 如此实现了开关结构间的互连可以在带宽、数据完整性等方面进行优化而不会影响到事务层和传输层。

## 、总结

工艺的进步和设计方法学的进步使 SoC的设计规模越来越大 所集成的 核越来越多 由此使得 核间的互连显得越来越重要。除了常见的基于总线的 核互连方法 , Intern网络中分层互连的思想也被引入到 SoC 核的互连上来。可以预见 随着技术的进步 将不断有新的互连方法出现。■

## 参考文献

[1]ARM Ltd. AMBA, Advanced Microcontroller Bus

Architecture Specification, Rev 2.0, May 1999.

[2]IBM Corporation, CoreConnect Bus Architecture, product brief. URL: [http://www.chips.ibm.com/news/1999/990923/pdf/corecon128\\_pb.pdf](http://www.chips.ibm.com/news/1999/990923/pdf/corecon128_pb.pdf)

[3]W.J. Bainbridge, L.A. Plana & S.B. Furber, The Design and Test of a Smartcard Chip Using a CHAIN Self-timed Network-on-Chip, Proc. DATE'04, Vol. 3, Paris, Feb 2004, p. 274.

[4]T. Felicijan & S.B. Furber, " An Asynchronous On-Chip Network Router with Quality-of-Service (QoS) Support , Proc. IEEE International SOC Conference, Santa Clara, CA, Sept. 2004, pp. 274- 277.

[5]OCP Specification, OCP- IP Association

[6]WISHBONE Specification, Slicore Inc.

[7]New IP Integration Strategies Simplify SoC Design, Robin Bhagat

## 作者简介

孙加兴 博士 毕业于中国科学院微电子研究所 现就职于 CS 曾参与《我国集成电路产业“十一五”专项规划》的编制起草 参与集成电路相关产业政策和条例的编制起草 先后承担了科技部与信产部的多项研发项目和公司的工程项目。目前 主要从事集成电路 IP/ SoC 面的工作。在学习和工作期间 , 发表学术论文共 10 篇 其中 篇被 收录检索。

上接第 5 页

## 参考文献

[1]葛红 .FI数字滤波器的 FPGA实现 江汉大学学报 自然科学版 ).200年 12月第 3卷第 期

[2]郭君里 应启珩 杨为理 信号与系统 [M].北京 高等教育出版社 , 2001.

[3]郑广书 数字信号处理 理论、算法与实现 北京 : 清华大学出版社 , 1997.

[4] Vella, M.;Debono, C.J.; The Implementation of a High Speed Adaptive FIR Filter on a Field Programmable Gate Array. Electrotechnical Conference,

2006. MELECON 2006. IEEE Mediterranean.16- 19 May 2006 Page(s):113 116.

[5]朱冰莲 基于分布式算法的高阶 滤波器及其 FPGA实现 电视技术 .200年 第 期

[6]陈炳权 基于 fpga的 FI滤波器 FF算法与 DA 算法实现 襄樊学院学报 .200年 第 2卷 期

# 嵌入式资源免费下载

## 总线协议:

1. [基于 PCIe 驱动程序的数据传输卡 DMA 传输](#)
2. [基于 PCIe 总线协议的设备驱动开发](#)
3. [CANopen 协议介绍](#)
4. [基于 PXI 总线 RS422 数据通信卡 WDM 驱动程序设计](#)
5. [FPGA 实现 PCIe 总线 DMA 设计](#)
6. [PCI Express 协议实现与验证](#)
7. [VPX 总线技术及其实现](#)
8. [基于 Xilinx FPGA 的 PCIE 接口实现](#)
9. [基于 PCI 总线的 GPS 授时卡设计](#)
10. [基于 CPCI 标准的 6U 信号处理平台的设计](#)
11. [USB30 电路保护](#)
12. [USB30 协议分析与框架设计](#)
13. [USB 30 中的 CRC 校验原理及实现](#)
14. [基于 CPLD 的 UART 设计](#)
15. [IPMI 在 VPX 系统中的应用与设计](#)
16. [基于 CPCI 总线的 PMC 载板设计](#)
17. [基于 VPX 总线的工件台运动控制系统研究与开发](#)
18. [PCI Express 流控机制的研究与实现](#)
19. [UART16C554 的设计](#)
20. [基于 VPX 的高性能计算机设计](#)
21. [基于 CAN 总线技术的嵌入式网关设计](#)
22. [Visual C 串行通讯控件使用方法与技巧的研究](#)
23. [IEEE1588 精密时钟同步关键技术研究](#)
24. [GPS 信号发生器射频模块的一种实现方案](#)
25. [基于 CPCI 接口的视频采集卡的设计](#)
26. [基于 VPX 的 3U 信号处理平台的设计](#)
27. [基于 PCI Express 总线 1394b 网络传输系统 WDM 驱动设计](#)
28. [AT89C52 单片机与 ARINC429 航空总线接口设计](#)
29. [基于 CPCI 总线多 DSP 系统的高速主机接口设计](#)
30. [总线协议中的 CRC 及其在 SATA 通信技术中的应用](#)
31. [基于 FPGA 的 SATA 硬盘加解密控制器设计](#)
32. [Modbus 协议在串口通讯中的研究及应用](#)
33. [高可用的磁盘阵列 Cache 的设计和实现](#)
34. [RAID 阵列中高速 Cache 管理的优化](#)

35. [一种新的基于 RAID 的 CACHE 技术研究与实现](#)
36. [基于 PCIE-104 总线的高速数据接口设计](#)
37. [基于 VPX 标准的 RapidIO 交换和 Flash 存储模块设计](#)
38. [北斗卫星系统在海洋工程中的应用](#)
39. [北斗卫星系统在远洋船舶上应用的研究](#)
40. [基于 CPCI 总线的红外实时信号处理系统](#)
41. [硬件实现 RAID 与软件实现 RAID 的比较](#)
42. [基于 PCI Express 总线系统的热插拔设计](#)
43. [基于 RAID5 的磁盘阵列 Cache 的研究与实现](#)
44. [基于 PCI 总线的 MPEG2 码流播放卡驱动程序开发](#)
45. [基于磁盘阵列引擎的 RAID5 小写性能优化](#)
46. [基于 IEEE1588 的时钟同步技术研究](#)
47. [基于 Davinci 平台的 SD 卡读写优化](#)
48. [基于 PCI 总线的图像处理及传输系统的设计](#)
49. [串口和以太网通信技术在油液在线监测系统中的应用](#)
50. [USB30 数据传输协议分析及实现](#)
51. [IEEE 1588 协议在工业以太网中的实现](#)
52. [基于 USB30 的设备自定义请求实现方法](#)
53. [IEEE1588 协议在网络测控系统中的应用](#)
54. [USB30 物理层中弹性缓冲的设计与实现](#)
55. [USB30 的高速信息传输瓶颈研究](#)
56. [基于 IPv6 的 UDP 通信的实现](#)
57. [一种基于 IPv6 的流媒体传送方案研究与实现](#)
58. [基于 IPv4-IPv6 双栈的 MODBUS-TCP 协议实现](#)
59. [RS485CAN 网关设计与实现](#)
60. [MVB 周期信息的实时调度](#)
61. [RS485 和 PROFINET 网关设计](#)
62. [基于 IPv6 的 Socket 通信的实现](#)
63. [MVB 网络重复器的设计](#)
64. [一种新型 MVB 通信板的探究](#)
65. [具有 MVB 接口的输入输出设备的分析](#)
66. [基于 STM32 的 GSM 模块综合应用](#)
67. [基于 ARM7 的 MVB CAN 网关设计](#)
68. [机车车辆的 MVB CAN 总线网关设计](#)
69. [智能变电站冗余网络中 IEEE1588 协议的应用](#)
70. [CAN 总线的浅析 CANopen 协议](#)
71. [基于 CANopen 协议实现多电机系统实时控制](#)
72. [以太网时钟同步协议的研究](#)
73. [基于 CANopen 的列车通信网络实现研究](#)
74. [基于 SJA1000 的 CAN 总线智能控制系统设计](#)
75. [基于 CANopen 的运动控制单元的设计](#)
76. [基于 STM32F107VC 的 IEEE 1588 精密时钟同步分析与实现](#)

77. [分布式控制系统精确时钟同步技术](#)
78. [基于 IEEE 1588 的时钟同步技术在分布式系统中应用](#)
79. [基于 SJA1000 的 CAN 总线通讯模块的实现](#)
80. [嵌入式设备的精确时钟同步技术的研究与实现](#)

## VxWorks:

1. [基于 VxWorks 的多任务程序设计](#)
2. [基于 VxWorks 的数据采集存储装置设计](#)
3. [Flash 文件系统分析及其在 VxWorks 中的实现](#)
4. [VxWorks 多任务编程中的异常研究](#)
5. [VxWorks 应用技巧两例](#)
6. [一种基于 VxWorks 的飞行仿真实时管理系统](#)
7. [在 VxWorks 系统中使用 TrueType 字库](#)
8. [基于 FreeType 的 VxWorks 中文显示方案](#)
9. [基于 Tilcon 的 VxWorks 简单动画开发](#)
10. [基于 Tilcon 的某武器显控系统界面设计](#)
11. [基于 Tilcon 的综合导航信息处理装置界面设计](#)
12. [VxWorks 的内存配置和管理](#)
13. [基于 VxWorks 系统的 PCI 配置与应用](#)
14. [基于 MPC8270 的 VxWorks BSP 的移植](#)
15. [Bootrom 功能改进经验谈](#)
16. [基于 VxWorks 嵌入式系统的中文平台研究与实现](#)
17. [VxBus 的 A429 接口驱动](#)
18. [基于 VxBus 和 MPC8569E 千兆网驱动开发和实现](#)
19. [一种基于 vxBus 的 PPC 与 FPGA 高速互联的驱动设计方法](#)
20. [基于 VxBus 的设备驱动开发](#)
21. [基于 VxBus 的驱动程序架构分析](#)
22. [基于 VxBus 的高速数据采集卡驱动程序开发](#)
23. [Vxworks 下的冗余 CAN 通讯模块设计](#)
24. [WindML 工业平台下开发 S1d13506 驱动及显示功能的实现](#)
25. [WindML 中 Mesa 的应用](#)
26. [VxWorks 下图形用户界面开发中双缓冲技术应用](#)
27. [VxWorks 上的一种 GUI 系统的设计与实现](#)
28. [VxWorks 环境下 socket 的实现](#)
29. [VxWorks 的 WindML 图形界面程序的框架分析](#)
30. [VxWorks 实时操作系统及其在 PC104 下以太网编程的应用](#)
31. [实时操作系统任务调度策略的研究与设计](#)
32. [军事指挥系统中 VxWorks 下汉字显示技术](#)



33. [基于 VxWorks 实时控制系统中文交互界面开发平台](#)
34. [基于 VxWorks 操作系统的 WindML 图形操控界面实现方法](#)
35. [基于 GPU FPGA 芯片原型的 VxWorks 下驱动软件开发](#)
36. [VxWorks 下的多串口卡设计](#)
37. [VxWorks 内存管理机制的研究](#)
38. [T9 输入法在 Tilcon 下的实现](#)
39. [基于 VxWorks 的 WindML 图形界面开发方法](#)
40. [基于 Tilcon 的 IO 控制板可视化测试软件的设计和实现](#)
41. [基于 VxWorks 的通信服务器实时多任务软件设计](#)
42. [基于 VXWORKS 的 RS485MVB 网关的设计与实现](#)
43. [实时操作系统 VxWorks 在微机保护中的应用](#)
44. [基于 VxWorks 的多任务程序设计及通信管理](#)
45. [基于 Tilcon 的 VxWorks 图形界面开发技术](#)
46. [嵌入式图形系统 Tilcon 及应用研究](#)
47. [基于 VxWorks 的数据采集与重演软件的图形界面的设计与实现](#)
48. [基于嵌入式的 Tilcon 用户图形界面设计与开发](#)
49. [基于 Tilcon 的交互式多页面的设计](#)
50. [基于 Tilcon 的嵌入式系统人机界面开发技术](#)
51. [基于 Tilcon 的指控系统多任务人机交互软件设计](#)
52. [基于 Tilcon 航海标绘台界面设计](#)
53. [基于 Tornado 和 Tilcon 的嵌入式 GIS 图形编辑软件的开发](#)

## Linux:

1. [Linux 程序设计第三版及源代码](#)
2. [NAND FLASH 文件系统的设计与实现](#)
3. [多通道串行通信设备的 Linux 驱动程序实现](#)
4. [Zsh 开发指南-数组](#)
5. [常用 GDB 命令中文速览](#)
6. [嵌入式 C 进阶之道](#)
7. [Linux 串口编程实例](#)
8. [基于 Yocto Project 的嵌入式应用设计](#)
9. [Android 应用的反编译](#)
10. [基于 Android 行为的加密应用系统研究](#)
11. [嵌入式 Linux 系统移植步步通](#)
12. [嵌入式 C++ 语言精华文章集锦](#)
13. [基于 Linux 的高性能服务器端的设计与研究](#)
14. [S3C6410 移植 Android 内核](#)
15. [Android 开发指南中文版](#)

16. [图解 Linux 操作系统架构设计与实现原理（第二版）](#)
17. [如何在 Ubuntu 和 Linux Mint 下轻松升级 Linux 内核](#)
18. [Android 简单 mp3 播放器源码](#)
19. [嵌入式 Linux 系统实时性的研究](#)
20. [Android 嵌入式系统架构及内核浅析](#)
21. [基于嵌入式 Linux 操作系统内核实时性的改进方法研究](#)
22. [Linux TCP IP 协议详解](#)
23. [Linux 桌面环境下内存去重技术的研究与实现](#)
24. [掌握 Android 7.0 新增特性 Quick Settings](#)
25. [Android 应用逆向分析方法研究](#)
26. [Android 操作系统的课程教学](#)
27. [Android 智能手机操作系统的研究](#)
28. [Android 英文朗读功能的实现](#)
29. [基于 Yocto 订制嵌入式 Linux 发行版](#)
30. [基于嵌入式 Linux 的网络设备驱动设计与实现](#)
31. [如何高效学习嵌入式](#)
32. [基于 Android 平台的 GPS 定位系统的设计与实现](#)
33. [LINUX ARM 下的 USB 驱动开发](#)
34. [Linux 下基于 I2C 协议的 RTC 驱动开发](#)
35. [嵌入式下 Linux 系统设备驱动程序的开发](#)
36. [基于嵌入式 Linux 的 SD 卡驱动程序的设计与实现](#)
37. [Linux 系统中进程调度策略](#)
38. [嵌入式 Linux 实时性方法](#)
39. [基于实时 Linux 计算机联锁系统实时性分析与改进](#)
40. [基于嵌入式 Linux 下的 USB30 驱动程序开发方法研究](#)
41. [Android 手机应用开发之音乐资源播放器](#)
42. [Linux 下以太网的 IPv6 隧道技术的实现](#)
43. [Research and design of mobile learning platform based on Android](#)
44. [基于 linux 和 Qt 的串口通信调试器调的设计及应用](#)
45. [在 Linux 平台上基于 QT 的动态图像采集系统的设计](#)
46. [基于 Android 平台的医护查房系统的研究与设计](#)
47. [基于 Android 平台的软件自动化监控工具的设计开发](#)
48. [基于 Android 的视频软硬解码及渲染的对比研究与实现](#)
49. [基于 Android 移动设备的加速度传感器技术研究](#)
50. [基于 Android 系统振动测试仪研究](#)
51. [基于缓存竞争优化的 Linux 进程调度策略](#)

Windows CE:

1. [Windows CE.NET 下 YAFFS 文件系统 NAND Flash 驱动程序设计](#)
2. [Windows CE 的 CAN 总线驱动程序设计](#)
3. [基于 Windows CE.NET 的 ADC 驱动程序实现与应用的研究](#)
4. [基于 Windows CE.NET 平台的串行通信实现](#)
5. [基于 Windows CE.NET 下的 GPRS 模块的研究与开发](#)
6. [win2k 下 NTFS 分区用 ntldr 加载进 dos 源代码](#)
7. [Windows 下的 USB 设备驱动程序开发](#)
8. [WinCE 的大容量程控数据传输解决方案设计](#)
9. [WinCE6.0 安装开发详解](#)
10. [DOS 下仿 Windows 的自带计算器程序 C 源码](#)
11. [G726 局域网语音通话程序和源代码](#)
12. [WinCE 主板加载第三方驱动程序的方法](#)
13. [WinCE 下的注册表编辑程序和源代码](#)
14. [WinCE 串口通信源代码](#)
15. [WINCE 的 SD 卡程序\[可实现读写的源码\]](#)
16. [基于 WinCE 的 BootLoader 研究](#)
17. [Windows CE 环境下无线网卡的自动安装](#)
18. [基于 Windows CE 的可视电话的研究与实现](#)
19. [基于 WinCE 的嵌入式图像采集系统设计](#)
20. [基于 ARM 与 WinCE 的掌纹鉴别系统](#)
21. [DCOM 协议在网络冗余环境下的应用](#)
22. [Windows XP Embedded 在变电站通信管理机中的应用](#)
23. [XPE 在多功能显控台上的开发与应用](#)
24. [基于 Windows XP Embedded 的 LKJ2000 仿真系统设计与实现](#)
25. [虚拟仪器的 Windows XP Embedded 操作系统开发](#)
26. [基于 EVC 的嵌入式导航电子地图设计](#)
27. [基于 XPEmbedded 的警务区 SMS 指挥平台的设计与实现](#)
28. [基于 XPE 的数字残币兑换工具开发](#)

## PowerPC:

1. [Freescale MPC8536 开发板原理图](#)
2. [基于 MPC8548E 的固件设计](#)
3. [基于 MPC8548E 的嵌入式数据处理系统设计](#)
4. [基于 PowerPC 嵌入式网络通信平台的实现](#)
5. [PowerPC 在车辆显控系统中的应用](#)
6. [基于 PowerPC 的单板计算机的设计](#)
7. [用 PowerPC860 实现 FPGA 配置](#)

8. [基于 MPC8247 嵌入式电力交换系统的设计与实现](#)
9. [基于设备树的 MPC8247 嵌入式 Linux 系统开发](#)
10. [基于 MPC8313E 嵌入式系统 UBoot 的移植](#)
11. [基于 PowerPC 处理器 SMP 系统的 UBoot 移植](#)
12. [基于 PowerPC 双核处理器嵌入式系统 UBoot 移植](#)
13. [基于 PowerPC 的雷达通用处理机设计](#)
14. [PowerPC 平台引导加载程序的移植](#)
15. [基于 PowerPC 嵌入式内核的多串口通信扩展设计](#)
16. [基于 PowerPC 的多网口系统抗干扰设计](#)
17. [基于 MPC860T 与 VxWorks 的图形界面设计](#)
18. [基于 MPC8260 处理器的 PPMC 系统](#)
19. [基于 PowerPC 的控制器研究与设计](#)
20. [基于 PowerPC 的模拟量输入接口扩展](#)
21. [基于 PowerPC 的车载通信系统设计](#)
22. [基于 PowerPC 的嵌入式系统中通用 I/O 口的扩展方法](#)
23. [基于 PowerPC440GP 型微控制器的嵌入式系统设计与研究](#)
24. [基于双 PowerPC 7447A 处理器的嵌入式系统硬件设计](#)
25. [基于 PowerPC603e 通用处理模块的设计与实现](#)
26. [嵌入式微机 MPC555 驻留片内监控器的开发与实现](#)
27. [基于 PowerPC 和 DSP 的电能质量在线监测装置的研制](#)
28. [基于 PowerPC 架构多核处理器嵌入式系统硬件设计](#)
29. [基于 PowerPC 的多屏系统设计](#)
30. [基于 PowerPC 的嵌入式 SMP 系统设计](#)

## ARM:

1. [基于 DiskOnChip 2000 的驱动程序设计及应用](#)
2. [基于 ARM 体系的 PC-104 总线设计](#)
3. [基于 ARM 的嵌入式系统中断处理机制研究](#)
4. [设计 ARM 的中断处理](#)
5. [基于 ARM 的数据采集系统并行总线的驱动设计](#)
6. [S3C2410 下的 TFT LCD 驱动源码](#)
7. [STM32 SD 卡移植 FATFS 文件系统源码](#)
8. [STM32 ADC 多通道源码](#)
9. [ARM Linux 在 EP7312 上的移植](#)
10. [ARM 经典 300 问](#)
11. [基于 S5PV210 的频谱监测设备嵌入式系统设计与实现](#)
12. [Uboot 中 start.S 源码的指令级的详尽解析](#)



13. [基于 ARM9 的嵌入式 Zigbee 网关设计与实现](#)
14. [基于 S3C6410 处理器的嵌入式 Linux 系统移植](#)
15. [CortexA8 平台的  \$\mu\$ C-OS II 及 LwIP 协议栈的移植与实现](#)
16. [基于 ARM 的嵌入式 Linux 无线网卡设备驱动设计](#)
17. [ARM S3C2440 Linux ADC 驱动](#)
18. [ARM S3C2440 Linux 触摸屏驱动](#)
19. [Linux 和 Cortex-A8 的视频处理及数字微波传输系统设计](#)
20. [Nand Flash 启动模式下的 Uboot 移植](#)
21. [基于 ARM 处理器的 UART 设计](#)
22. [ARM CortexM3 处理器故障的分析与处理](#)
23. [ARM 微处理器启动和调试浅析](#)
24. [基于 ARM 系统下映像文件的执行与中断运行机制的实现](#)
25. [中断调用方式的 ARM 二次开发接口设计](#)
26. [ARM11 嵌入式系统 Linux 下 LCD 的驱动设计](#)
27. [Uboot 在 S3C2440 上的移植](#)
28. [基于 ARM11 的嵌入式无线视频终端的设计](#)
29. [基于 S3C6410 的 Uboot 分析与移植](#)
30. [基于 ARM 嵌入式系统的高保真无损音乐播放器设计](#)
31. [UBoot 在 Mini6410 上的移植](#)
32. [基于 ARM11 的嵌入式 Linux NAND FLASH 模拟 U 盘挂载分析与实现](#)
33. [基于 ARM11 的电源完整性分析](#)
34. [基于 ARM S3C6410 的 uboot 分析与移植](#)
35. [基于 S5PC100 移动视频监控终端的设计与实现](#)

## Hardware:

1. [DSP 电源的典型设计](#)
2. [高频脉冲电源设计](#)
3. [电源的综合保护设计](#)
4. [任意波形电源的设计](#)
5. [高速 PCB 信号完整性分析及应用](#)
6. [DM642 高速图像采集系统的电磁干扰设计](#)
7. [使用 COM Express Nano 工控板实现 IP 调度设备](#)
8. [基于 COM Express 架构的数据记录仪的设计与实现](#)
9. [基于 COM Express 的信号系统逻辑运算单元设计](#)
10. [基于 COM Express 的回波预处理模块设计](#)
11. [基于 X86 平台的简单多任务内核的分析与实现](#)
12. [基于 UEFI Shell 的 PreOS Application 的开发与研究](#)
13. [基于 UEFI 固件的恶意代码防范技术研究](#)

14. [MIPS 架构计算机平台的支持固件研究](#)
15. [基于 UEFI 固件的攻击验证技术研究](#)
16. [基于 UEFI 的 Application 和 Driver 的分析与开发](#)
17. [基于 UEFI 的可信 BIOS 研究与实现](#)
18. [基于 UEFI 的国产计算机平台 BIOS 研究](#)
19. [基于 UEFI 的安全模块设计分析](#)
20. [基于 FPGA Nios II 的等精度频率计设计](#)
21. [基于 FPGA 的 SOPC 设计](#)
22. [基于 SOPC 基本信号产生器的设计与实现](#)
23. [基于龙芯平台的 PMON 研究与开发](#)
24. [基于 X86 平台的嵌入式 BIOS 可配置设计](#)
25. [基于龙芯 2F 架构的 PMON 分析与优化](#)
26. [CPU 与 GPU 之间接口电路的设计与实现](#)
27. [基于龙芯 1A 平台的 PMON 源码编译和启动分析](#)
28. [基于 PC104 工控机的嵌入式直流监控装置的设计](#)
29. [GPGPU 技术研究与发展](#)
30. [GPU 实现的高速 FIR 数字滤波算法](#)
31. [一种基于 CPU/GPU 异构计算的混合编程模型](#)
32. [面向 OpenCL 模型的 GPU 性能优化](#)
33. [基于 GPU 的 FDTD 算法](#)
34. [基于 GPU 的瑕疵检测](#)
35. [基于 GPU 通用计算的分析与研究](#)
36. [面向 OpenCL 架构的 GPGPU 量化性能模型](#)
37. [基于 OpenCL 的图像积分图算法优化研究](#)
38. [基于 OpenCL 的均值平移算法在多个众核平台的性能优化研究](#)
39. [基于 OpenCL 的异构系统并行编程](#)
40. [嵌入式系统中热备份双机切换技术研究](#)

## Programming:

1. [计算机软件基础数据结构 - 算法](#)
2. [高级数据结构对算法的优化](#)
3. [零基础学算法](#)
4. [Linux 环境下基于 TCP 的 Socket 编程浅析](#)
5. [Linux 环境下基于 UDP 的 socket 编程浅析](#)
6. [基于 Socket 的网络编程技术及其实现](#)
7. [数据结构考题 - 第 1 章 绪论](#)
8. [数据结构考题 - 第 2 章 线性表](#)

9. [数据结构考题 - 第 2 章 线性表 - 答案](#)
10. [基于小波变换与偏微分方程的图像分解及边缘检测](#)
11. [基于图像能量的布匹瑕疵检测方法](#)
12. [基于 OpenCL 的拉普拉斯图像增强算法优化研究](#)
13. [异构平台上基于 OpenCL 的 FFT 实现与优化](#)
14. [数据结构考题 - 第 4 章 串](#)
15. [数据结构考题 - 第 4 章 串答案](#)
- 16.

## FPGA / CPLD:

1. [一种基于并行处理器的快速车道线检测系统及 FPGA 实现](#)
2. [基于 FPGA 和 DSP 的 DBF 实现](#)
3. [高速浮点运算单元的 FPGA 实现](#)
4. [DLMS 算法的脉动阵结构设计及 FPGA 实现](#)
5. [一种基于 FPGA 的 3DES 加密算法实现](#)
6. [可编程 FIR 滤波器的 FPGA 实现](#)
7. [基于 FPGA 的 AES 加密算法的高速实现](#)
8. [基于 FPGA 的精确时钟同步方法](#)
- 9.