

基于 Xilinx FPGA 的 PCIE 接口实现

石峰, 吴建飞, 刘凯, 徐欣

(长沙国防科技大学, 长沙 410073)

摘要:介绍了单通道物理层收发器 PX1011A 以及 PCI Express 总线体系的结构与特点; 简述了基于 PX1011A 收发器芯片的硬件电路设计; 重点研究了采用 Xilinx PIPE Core 实现 PCIE 总线协议的方法。

关键词:PCI Express 总线; IP 核; 协议

中图分类号:TP31 **文献标识码:**B **文章编号:**1002-2279(2008)06-0019-03

PCIE Port Develop Based on Xilinx FPGA

SHI Feng, WU Jian-fei, LIU Kai, XU Xin

(National University of Defense Technology, Changsha 410073, China)

Abstract: This paper introduces PCI Express stand-alone X1 PHY PX1011A as well as the system configuration and characteristics of PCI Express bus; Simply depicts the hardware design based on PX1011A; Particularly shows the design of PCI Express bus by Xilinx PIPE Core.

Key words: PCI Express BUS; IPcore; Specification

1 前言

随着系统性能、功能和带宽的日益增长, 总线技术也在迅速的发展。海量存储, 卫星通讯, 高速数据采集与记录以及其他数据处理的数据吞吐量现以 KMbps 为量级, 未来计算机系统对带宽和扩展性的要求已经超越了第二代总线技术。由英特尔提出的第三代高性能 I/O 总线技术——PCIE 总线解决了 PCI 总线的不足, 它的发展将取代 PCI 成为新型的数据总线, 其提供了更加完善的性能, 更多的功能, 更强的可扩展性和更低的成本。

本文研究了采用 NXP 公司的 PCI Express 接口协议芯片 PX1011A 和 Xilinx 公司 Spartan-3 FPGA 实现 PCIE 接口的硬件电路设计以及使用 Xilinx 公司提供的 PCI Express LogiCORE IP 核的软件设计。

2 PCIE 总线和 PX1011A 的介绍

2.1 PCIE 总线的介绍

PCI Express 是用来互连诸如计算和通信平台应用中外围设备的第三代 I/O 总线技术, 第一代总线包括 ISA、EISA、VESA 和微通道 (Micro Channel) 总线, 而第二代总线则包括了 PCI、PCI-X 和 AGP。PCI Express 是一种能够应用于一种设备、台式电

脑、工作站、服务器、嵌入式计算机和通信平台等所有周边 I/O 设备互连的总线。

PCIE 最初由 Intel 发展, 并于 1992 年在市场发布。PCIE 的体系结构继承了第二代总线体系结构最有用的特点, 并且采用了计算机体系结构中新的开发成果。它保留了原先的通讯模型和下载配置机制, 但抛弃了共享总线的方式, 采用点到点的总线连接方式。由于它提供了更高的性能特点和越来越大的带宽, 从而解决了 PCI、PCI-X 和 AGP 的许多缺点, 是以后 PC 发展必然采用的接口总线, 其必将取代 PCI、PCI-X 以及图形加速器 (AGP)。

PCIE 总线保留了对于 PCI 局部总线协议全部软件的向下兼容性, 即只要是 PCIE 的卡都可以插到带有 PCI 的操作系统使用; 在硬件上, 两者不兼容, PCIE 取代 PCI、PCI-X 的并行多路总线结构, 采用了一种串行、点到点的总线连接结构, 需要的接口更少。

2.2 单通道物理层收发器 PX1011A

NXP 公司的 PX1011A 是一款与低成本 FPGA 一起使用而优化的单通道 2.5Gbps 的 PCI Express PHY 器件。它具有很小的封装, 可提供卓越的发射和接收性能, 符合 PCI Express 规范 v1.0a 和 v1.1。它通过采用用于传输和接收数据的同步时钟源来提

高片外应用的性能。

数据由接收器的差分输入接口进入 PX1011A, 在被传送到解串化电路之前, 这些数据将小振幅的差分信号变为轨对轨的数字信号。一个载波检测电路将检测线路上是否有数据并将这些信息传送到 SERDES 和 PCS 上。SERDES 将这些数据串行为 10 位并行数据。然后 PCS 采用 8 位/10 位解码器来恢复成 8 位数据格式。

在发送过程中, 来自 PIPE 接口的 8 位数据通过一个 8 位/10 位编码算法进行编码。8 位/10 位编码确保串行数据被直流平衡以避免交流耦合系统中的基带漂移, 它同时确保足够的时钟转换以避免接收端的时钟恢复。

PX1011A 的 MAC 接口采用独立的时钟, 由片内 100MHz 的基准时钟的锁相环来产生。锁相环有一个相对较高的带宽来实现可选的扩频并减少 EMI。8bit 数据接口在 250MHz 上运行并进行 SSTL2 信号发送, 这种模式与流行的 FPGA I/O 接口兼容。

3 基于 PX1011A 收发器芯片的硬件电路设计

3.1 PX1011A 收发器芯片硬件电路设计

PCIE 接口硬件电路如图 1 所示, 包括三个部分: 第一部分是 PX1011A 与 FPGA 的连接信号线, 包括 8 位的接收发送信号 TXD[7:0] 和 RXD[7:0], 控制信号 RX_DATAK、RX_VALID、RX_CLK、RX_EIDLE、RX_POLAR、RX_PHY_STAT、TX_DATAK、TX_CLK、TX_EIDLE、TX_COMP、TX_DET_LOOP、TX_PWRDNO、TX_PWRDN1, 状态信号 STAT0、STAT1、STAT2 和复位信号 RESET。第二部分是 PX1011A 与 PCIE 接口的连接信号线, 包括差分接收信号, 差分发送信号, 差分时钟信号。第三部分是 PCI Express 的配置接口, 包括 PCIE_TMS、PCIE_TCK、PCIE_TDO、PCIE_TDI 和 PCIE_TRST。

FPGA 选用 Xilinx 公司的 Spartan - 3 系列 XC3S1000, 采用 90nm 材料生产, 容量高、成本低。具有业界一流的区块和分布, 具有多达 784 个 I/O、MicroBlaze 32 位 RISC 软处理器和支持乘法累加器 (MAC) 功能 (专用 18x18 乘法器提供高达 3300 亿次 MAC/秒) 的嵌入 XtremeDSP 功能。

Xilinx Spartan - 3 PCI Express 设计包括一个 PCI Express PIPE Endpoint LogiCore。Xilinx 低成本 Spartan - 3 系列提供 PCI Express 协议层核。PCIE PIPE Endpoint LogiCORE 整合了分立的 PCIE PHY, 提供了全面的、完全符合 PCI Express 基础规范 (PCI

Express Base Specification) v1.1 的 PCIE 端点解决方案。

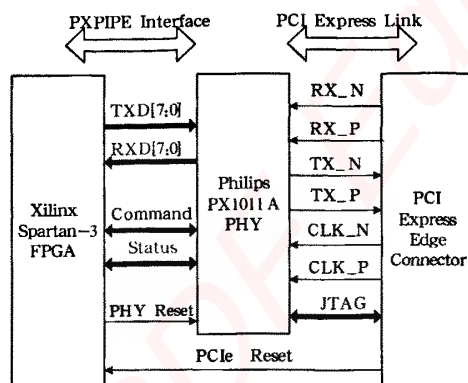


图 1 PX1011A 与 FPGA 以及 PCIE slot 的连接图

3.2 PCB 布线

PCB 布线时有以下注意点: 终端阻抗布线尽量降低容性; 一组信号, 避免在参考层断续; 高速信号尽量在一层布线, 不要打孔, 否则要在过孔处打一个 U 形的地孔; 微波传输带, 差分信号布线线宽 5mil, 间距 7mil; 带状传输线, 差分信号布线线宽 5mil, 间距 5mil。信号之间的间距在 $5 \times 4 = 20\text{mil}$ 以上, 高压和边缘尖锐的信号尽量远离差分线, 避免干扰。

接口上数据采用 SSTL2 信号发送, 传送速率达到 250MB/s。每组数据发送端需串行一个 25 欧姆电阻, 数据接收端上拉 50 欧姆电阻, 提高信号的阻抗匹配。TD 和 RX 每组为 8 位 250MB/s 信号, 为了减少信号间的延时误差, 每组信号布线时尽量等长。

4 PIPE Core 实现 PCIE 总线协议

4.1 Xilinx PCI Express PIPE Core

Xilinx PCI Express PIPE Core 符合 PCI Express Base Specification v1.1 规范的协议和电特性兼容, 提供完整的端点解决方案, 包括物理链接与处理和配置管理模块。支持同步点对点通信, 上行和下行流程控制, 与 PCI Express 处理排序规则完全兼容。有效的链接带宽利用率, 误差检测和恢复。支持最大为 512 字节的有效负载, 经过 Xilinx 专有的测试平台验证的设计, 通过 PCI - SIG 的认证大会 (compliance workshop)。

PIPE Core 包括传输层, 数据链路层, 物理层, 配置管理层四个模块。这些模块包括产生和进行传输包、数据流的控制管理, 初始化, 电源管理, 数据保护, 误码检测, 物理接口初始化, 并串转换以及其他的接口操作。各个模块的具体连接关系如图 2 所示。

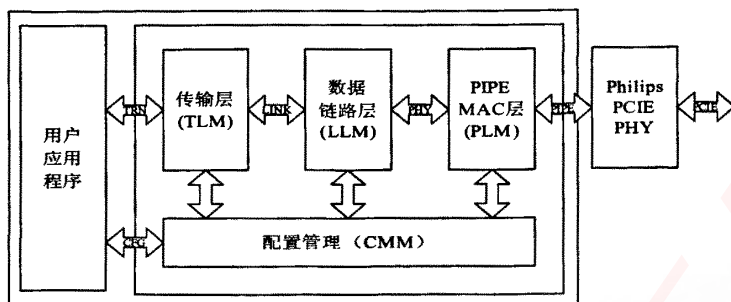


图2 PCI Express PIPE Core 结构

4.2 数据接收和发送的时序分析

数据的接收和发送都包含以下接口信号:传输时钟 trn_clk ,利用 PCIE 端口的 100MHz 差分时钟输入,通过 Core 的内部 DCM 产生 62.50MHz 时钟,传输和配置模块的操作都在 trn_clk 的上升沿变化;传输复位信号 trn_reset_n ,低有效;传输链路挂起信号 $trn_lnk_up_n$,在 Core 与连接方取消通信时产生,所

有存在端口的传输包都会丢失。

发送数据端口包括 PIPE Core 准备接收 32 位数据的 $trn_tdst_rdy_n$ 信号,用户有效数据 $trn_tsrc_rdy_n$,发送 32 位数据 $trn_td[31:0]$,帧开始信号 trn_tsof_n 和帧结束信号 trn_tesof_n 。接收端口第一个包的长度是其它包的两倍,其余时序与发送信号类似,具体如图 3 所示。

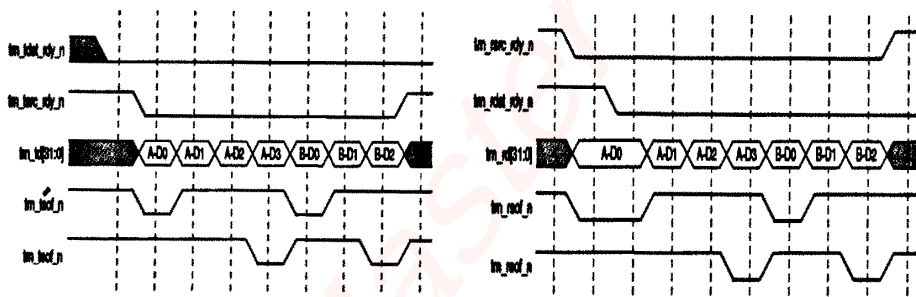


图3 数据接收发送时序图

4.3 FPGA 设计

选用 Xilinx 公司的 ISE 软件并采用 Verilog 硬件描述语言可对该 IP 核进行行为级描述和逻辑综合,同时可将生成的网表文件设计实现,包括逻辑综合及布局布线。具体设计过程中,需要先加载 PIPE Core,这要求 ISE 为 8.1 以上版本,同时要取得 IP Core 的使用授权。

配置 PIPE Core,需要确定设备的生产厂商 Vendor ID,设备编号 Device ID,类型 Class Code,I/O 方式的地址存储器空间 BAR,有效载荷大小等信息。

在 Core Generation 之后,根据 PIPE Core 提供的文件加载各模块的源文件。至此,带 PCIE 总线协议的接口已经建立好,用户应用程序在模块中添加。

5 结束语

实验结果表明,以 PX1011A 和 Xilinx 公司的 Spartan-3 FPGA 搭建的 $\times 1$ PCIE 平台最高传输速

率可达 150MB/s,能够满足高速信号传输的性能要求。随着器件的发展和 IP 核的开发,多通道的 PCIE 总线技术将会迅速发展。PCI Express 总线取代捉襟见肘的 PCI 总线已是大势所趋,它能给电脑硬件的发展提供一种高性能的总线平台,充分发挥各硬件子系统的性能,并为这些子系统今后的性能提升开辟更广阔的空间。

参考文献:

- [1] Ravi Budruk, Don Anderson, Tom Shanley. PCI Express 系统体系结构标准教材[M].北京:电子工业出版社,2000.
- [2] 徐欣,于红旗.基于 FPGA 的嵌入式系统设计[M].北京:机械工业出版社,2005.
- [3] Xilinx PCI Express PIPE Endpoint 1 - Lane Core v1.3 User Guide[J]. America,2005.
- [4] NXP. PX1011A/PX1012A PCI Express stand-alone X1 PHY Datasheet[J].2006.
- [5] NXP. AN10373 PCI Express PHY PCB Layout Guideline [J].2006.

嵌入式资源免费下载

总线协议:

1. [基于 PCIe 驱动程序的数据传输卡 DMA 传输](#)
2. [基于 PCIe 总线协议的设备驱动开发](#)
3. [CANopen 协议介绍](#)
4. [基于 PXI 总线 RS422 数据通信卡 WDM 驱动程序设计](#)
5. [FPGA 实现 PCIe 总线 DMA 设计](#)
6. [PCI Express 协议实现与验证](#)
7. [VPX 总线技术及其实现](#)

VxWorks:

1. [基于 VxWorks 的多任务程序设计](#)
2. [基于 VxWorks 的数据采集存储装置设计](#)
3. [Flash 文件系统分析及其在 VxWorks 中的实现](#)
4. [VxWorks 多任务编程中的异常研究](#)
5. [VxWorks 应用技巧两例](#)
6. [一种基于 VxWorks 的飞行仿真实时管理系统](#)
7. [在 VxWorks 系统中使用 TrueType 字库](#)
8. [基于 FreeType 的 VxWorks 中文显示方案](#)
9. [基于 Tilcon 的 VxWorks 简单动画开发](#)
10. [基于 Tilcon 的某武器显控系统界面设计](#)
11. [基于 Tilcon 的综合导航信息处理装置界面设计](#)
12. [VxWorks 的内存配置和管理](#)
13. [基于 VxWorks 系统的 PCI 配置与应用](#)

Linux:

1. [Linux 程序设计第三版及源代码](#)
2. [NAND FLASH 文件系统的设计与实现](#)
3. [多通道串行通信设备的 Linux 驱动程序实现](#)

4. [Zsh 开发指南-数组](#)
5. [常用 GDB 命令中文速览](#)
6. [嵌入式 C 进阶之道](#)

Windows CE:

1. [Windows CE.NET 下 YAFFS 文件系统 NAND Flash 驱动程序设计](#)
2. [Windows CE 的 CAN 总线驱动程序设计](#)
3. [基于 Windows CE.NET 的 ADC 驱动程序实现与应用的研究](#)
4. [基于 Windows CE.NET 平台的串行通信实现](#)
5. [基于 Windows CE.NET 下的 GPRS 模块的研究与开发](#)
6. [win2k 下 NTFS 分区用 ntldr 加载进 dos 源代码](#)
7. [Windows 下的 USB 设备驱动程序开发](#)
8. [WinCE 的大容量程控数据传输解决方案设计](#)
9. [WinCE6.0 安装开发详解](#)
10. [DOS 下仿 Windows 的自带计算器程序 C 源码](#)
11. [G726 局域网语音通话程序和源代码](#)
12. [WinCE 主板加载第三方驱动程序的方法](#)
13. [WinCE 下的注册表编辑程序和源代码](#)
14. [WinCE 串口通信源代码](#)
15. [WINCE 的 SD 卡程序\[可实现读写的源码\]](#)

PowerPC:

1. [Freescale MPC8536 开发板原理图](#)
2. [基于 MPC8548E 的固件设计](#)
3. [基于 MPC8548E 的嵌入式数据处理系统设计](#)
4. [基于 PowerPC 嵌入式网络通信平台的实现](#)
5. [PowerPC 在车辆显控系统中的应用](#)

ARM:

RT Embedded <http://www.kontronn.com>

1. [基于 DiskOnChip 2000 的驱动程序设计及应用](#)
2. [基于 ARM 体系的 PC-104 总线设计](#)
3. [基于 ARM 的嵌入式系统中断处理机制研究](#)
4. [设计 ARM 的中断处理](#)
5. [基于 ARM 的数据采集系统并行总线的驱动设计](#)
6. [S3C2410 下的 TFT LCD 驱动源码](#)
7. [STM32 SD 卡移植 FATFS 文件系统源码](#)
8. [STM32 ADC 多通道源码](#)

Hardware:

1. [DSP 电源的典型设计](#)
2. [高频脉冲电源设计](#)
3. [电源的综合保护设计](#)
4. [任意波形电源的设计](#)
5. [高速 PCB 信号完整性分析及应用](#)
6. [DM642 高速图像采集系统的电磁干扰设计](#)