

DOI:10.3969/j.issn.1672-2337.2017.05.015

# 基于 RapidIO 的 FPGA 远程更新系统 设计与实现

朱道山

(中国电子科技集团公司第十研究所, 四川成都 610036)

**摘要:** 现场可编程逻辑门阵列(FPGA)在航电系统领域广泛应用,但是采用 JTAG 方式更新 FPGA 程序,效率低下,易受设备环境限制而缺乏灵活性,已经难以满足工程应用的需求。提出了一种实现 FPGA 程序远程更新的方案,该方案采用 RapidIO 总线,以软件异构的方式,构建在线更新实时通信链路。通过以太网下发镜像升级文件,经 SRIO 交换网络传送至 FPGA 节点,写入 FLASH 配置空间,实现 FPGA 程序的远程更新。经过测试,验证了设计的正确性和可行性,并有效地提高了 FPGA 程序更新的速度。

**关键词:** 现场可编程门阵列; 快速输入输出; 远程更新; 闪存; 虚通道

中图分类号: TN919; TN957 文献标志码: A 文章编号: 1672-2337(2017)05-0543-05

## Design and Implementation of FPGA Remote Update System Based on RapidIO

ZHU Daoshan

(The 10th Research Institute of China Electronics Technology Group Corporation, Chengdu 610036, China)

**Abstract:** FPGA is widely used in avionics system, the method using JTAG to download the program is limited by the environment and equipment, it is inefficient, lack of flexibility and difficult to meet the needs of engineering demands. In this paper, a scheme to realize remote update of FPGA program is proposed. The scheme uses the RapidIO bus to build an online update real-time communication link in a heterogeneous way. The image file is transmitted from SRIO switch network to the FPGA node through the Ethernet, and then is written into the FLASH configuration space to achieve the remote update of FPGA program. After the test, the correctness and feasibility of the design is verified. The speed of FPGA program update is improved effectively.

**Key words:** field programmable gate array(FPGA); RapidIO; online update; flash; virtual channel

## 0 引言

近年来,随着 FPGA 规模和性能的不不断提升,使得 FPGA 在航电系统综合集成方向有着广泛的使用。通过构建通用的硬件处理平台,注入不同的 FPGA 软件,实现系统的多种功能,以支持系统长生命周期持续、迭代、滚动发展<sup>[1]</sup>。

通常,FPGA 程序更新都是通过 JTAG 下载电缆连接计算机进行配置,采用边界扫描方式对 FPGA 外围 FLASH 芯片进行编程实现<sup>[2]</sup>。上述方法适合在规模较小的产品研制初期使用;在产品

研制后期,对于大型航电系统来说,若依然采用 JTAG 下载方式进行 FPGA 程序维护更新,就变得操作繁琐、效率低下<sup>[3-4]</sup>。尤其对交付的系统设备,一般都不预留 JTAG 接口;同时,对于已交付的设备经常插拔 JTAG 仿真器,也会对硬件有所损伤。

采用远程在线更新的方式,可以解决产品研制后期 FPGA 程序维护更新效率低下的问题。对于 FPGA 在线更新,国内相关文献主要是基于处理器、接口芯片连接 FPGA 的方式进行<sup>[5-8]</sup>。文献[5-8]分别研究了通过 PPC 处理器本地总线、CPLD 芯片、DSP 处理器 EMIF 总线、PCI 总线接口芯片实现 FPGA 程序更新。以上加载

FLASH 的方式都是基于单个 FPGA 或者几个 FPGA 进行的,对大型航电系统中,几十、上百个 FPGA 芯片程序更新、移植使用,会使系统硬件架构变得非常复杂。

本文针对大型航电系统中 FPGA 节点程序更新,提出了一种基于 RapidIO 总线的 FPGA 远程在线更新方案,并将该方案成功运用于信号与信息处理机平台中。

## 1 系统架构

传统设计中,大型航电系统内各子系统因硬件平台不同而采用了不同的通信总线协议,不仅增加系统的复杂性,还降低了系统的可靠性和实时性。为取得好的效费比,大型航电系统中趋向于使用单一类型的通信总线协议实现子系统内、子系统间的互连<sup>[9]</sup>。作为一种可靠性、开放式互连架构,RapidIO 以其高效率、高稳定性、低成本的特点,为系统内各处理器间互连通信提供了高带宽、低延迟数据传输的解决方案<sup>[10]</sup>。

FPGA 程序远程更新正是基于航电系统内统一高速互连总线 RapidIO 进行设计实现的,其结构框图如图 1 所示。PC 机读取待更新 FPGA 节点镜像升级文件,通过以太网传输配置文件,从 PPC 节点下发控制命令和数据报文,经 SRIO 交换网络传输至 FPGA 中,FLASH 芯片专用配置逻辑将程序依次写入指定的 FLASH 更新区域。更新完成后,FPGA 将会触发专用升级电路,重新加载 FLASH 更新区域的新程序,从而实现 FPGA 程序远程更新。

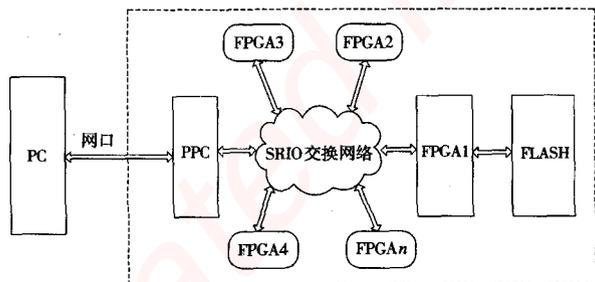


图 1 FPGA 远程更新系统架构框图

整个更新过程由 FPGA 节点内部在线更新专用程序自动完成,无须外部干预。多个 FPGA 芯片在线更新流程可以同时进行,不同 FPGA 芯片通过设备 ID 进行区分。

## 2 硬件设计

基于 VITA46 标准的某综合化信号与信息处理机平台如图 2 所示,采用上下两层结构,每层 10 个插槽。机架内部模块间采用 1X 模式、2.5 Gbit/s 速率 SRIO(串行 RapidIO)高速总线进行互连。

槽位	1	2	3	4	5	6	7	8	9	10
上层	电源模块	数据处理模块	数据处理模块	网络交换模块	信号处理模块	信号处理模块	信号处理模块	存储模块	预留	预留
下层	电源模块	数据处理模块	数据处理模块	网络交换模块	信号处理模块	信号处理模块	信号处理模块	存储模块	预留	预留

图 2 综合化信号与信息处理机平台

FPGA 芯片部署在信号处理模块内,每个信号处理模块由 4 个 FPGA 芯片组成。本平台包括 6 个信号处理模块,共 24 个 FPGA 芯片。

## 3 软件设计

为了使在线更新功能不影响 FPGA 本身功能软件的使用,本设计采用软件虚通道的思路进行。以软件异构的方式在 FPGA 节点与 PPC 处理器节点之间创建实时通信链路,配置多个虚通道,每个虚通道对应一个逻辑通道号。功能软件工作在通用逻辑通道,在线更新功能工作在在线更新专用逻辑通道,二者独立,互不影响。同时,当更新通道中的 PPC 节点发生故障时,上层系统管理软件可以通过软件重构的方式,选用其他处理器节点替代故障 PPC 节点,完成 FPGA 在线更新功能。

FPGA 节点作为整个在线更新设计的核心控制部分,采用模块化设计,通过 VHDL 语言编程的方式实现。按照功能模块划分,主要包括 SRIO IP 核、RIO 接口适配模块、指令控制模块、数据缓存模块、数据回读模块、数据校验模块和 FLASH 控制模块。FPGA 节点内部模块框图如图 3 所示。

在线更新时,数据传输出错或者数据未能正常写入 FLASH 中,轻者导致本次在线更新失败,重者导致板卡损坏,其后果无法估量。为了保证在线更新正确无误,FPGA 节点在接收、烧写镜像文

件时采用了多级校验机制,所有的报文都必须返回 ack,当确认节点处理好上一个文件数据之后,再传送下一帧数据。确保烧写到 FLASH 中的数据与原始镜像文件完全一致。数据帧交互机制如图 4 所示。

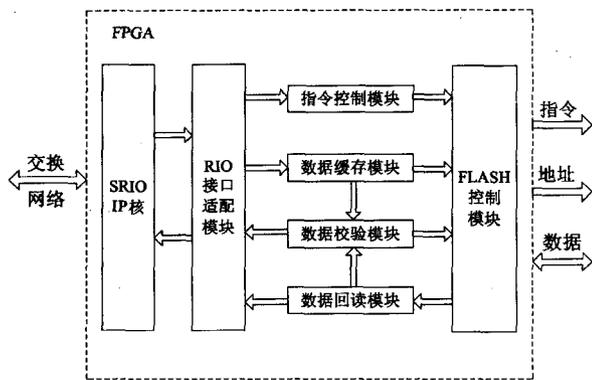


图 3 FPGA 节点内部模块框图

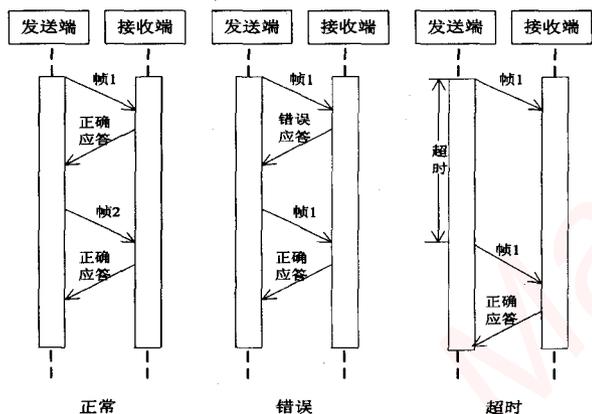


图 4 数据帧交互机制

### 3.1 SRIO IP 核

使用 Xilinx FPGA 内部 SRIO IP 核,选择 1X 模式、2.5 Gbit/s 速率,时钟频率为 125 MHz,器件 ID 为 8 位,通信采用基本 HELLO 包格式,支持内存映射与消息机制的通信类型。

通常,串行 FLASH 与并行 FLASH 都支持 page 写的方式,即一次写入 256 B。采用内存映射写方式,单个数据包最大有效数据载荷也是 256 B。因此,约定每次写入 FLASH 数据最大长度为 256 B,使得 SRIO 传输效率最大化,也方便后续 FLASH 写处理流程的实现。

### 3.2 RIO 接口适配模块

接口适配模块作为 FPGA 与 SRIO 交换网络

之间的数据传输通道,一方面,接收来自外部 PPC 节点的数据报文,并根据收发双方约定的协议进行数据报文的解析,把不符合要求的报文丢弃,符合要求的数据报文送到数据缓存模块,控制指令报文送入指令控制模块;另一方面,对校验返回 ack 值与 nack 值通过门铃 doorbell 的方式通知 PPC 节点,使 PPC 节点进入数据持续传输或者数据重传操作流程。

### 3.3 FLASH 控制模块

FLASH 控制模块是 FPGA 节点的核心模块,统管着 FLASH 的整个操作流程,按照指令控制模块接收到的控制指令的要求,一方面协调数据模块完成数据写入 FLASH 操作;另一方面还要回读 FLASH 数据,用于校验工作。

在 FPGA 中采用状态机实现 FLASH 远程更新流程,如图 5 所示,状态转移图如图 6 所示。在线更新专用通道初始化完成后,系统进入报文接收等待状态。接收到报文信息后,根据解析出来的报文类型,转入到相关的 FLASH 操作流程。若是更新擦除指令,则进入更新擦除流程,解除 FLASH 写保护,完成擦除 block 操作后,自动进入更新写状态,写完一个 block 后,读出该 block 中数据,进行 CRC 校验。CRC 校验正确,则返回报文接收等待状态;CRC 校验错误,则进入数据重传流程,直至读出的数据 CRC 校验正确。指定的读、写、擦除状态是为了增加系统的灵活性,可以手动配置 FLASH 的存储区域。

### 3.4 数据校验模块

对更新数据校验采用计算 CRC32 的方式进行,有两种方式可以实现。一方面,在明确更新文件 CRC32 校验多项式以及 CRC 存放位置、计算区间的情况下,当文件写入时记录写入 FLASH 空间的大小,即确定需要参与计算的区间以及确定 CRC32 所在的位置,根据地址记录。待读出校验时就可以通过读 FLASH 计算的 CRC 与文件包含的 CRC 值作对比,此时写入 FLASH 的时候无需作 CRC32 校验。另一方面,如果不能很明确更新文件的结构,想找出 CRC32 的值就无从下手,此时,可以通过写入 FLASH 的时候计算一次 CRC32,对写入的所有数据都计算在内,待读出校

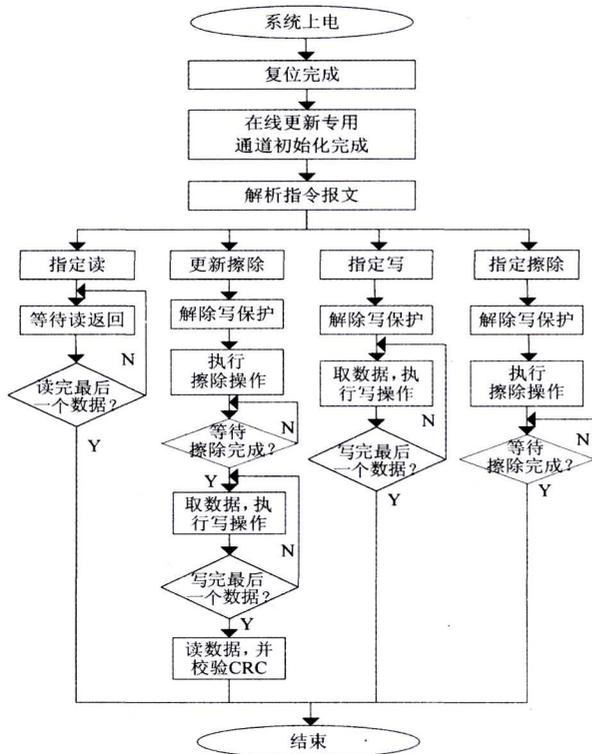


图 5 FLASH 远程更新流程

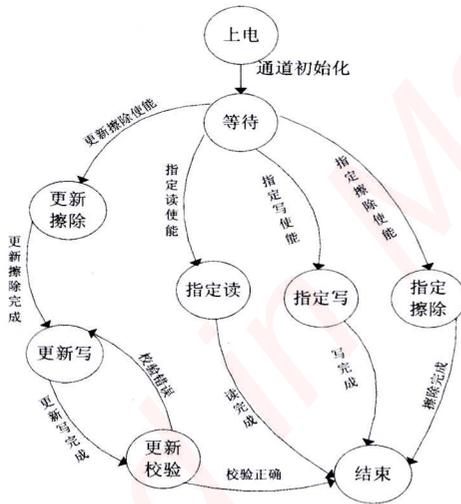


图 6 FLASH 远程更新状态转移图

验时,再次计算一次,比较写入计算的CRC与读出计算的CRC是否一致,从而可以断定写入FLASH的更新文件是否正常。但是后者只能确定FPGA在读写FLASH的时候是否出错,不能完全保证更新文件的正确性,若要对更新文件的正确性进行判定,则需要把数据回读模块的数据通过SRIO核上报给上级PPC节点,由上层软件进行确定。

## 4 试验结果

某综合化信号与信息处理机平台如图7所示。

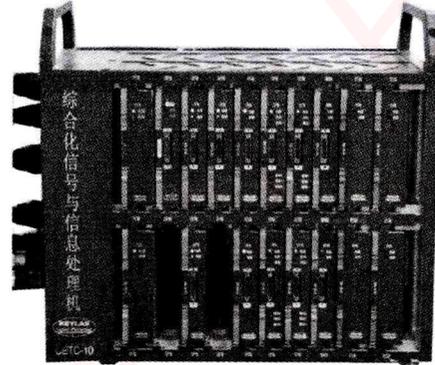


图 7 综合化信号与信息处理机实物图

对该处理机信号处理模块中的24个FPGA芯片进行软件在线更新功能测试。其中PPC芯片采用PPC-8548, FPGA芯片采用FPGA-V7-485T, FLASH芯片采用FLASH-JS28F00AP30, 测试结果如表1所示。

表 1 FPGA 程序更新测试结果

更新方式	文件大小/MB	软件版本/个	总版本/个	更新耗时/min	测试结果
JTAG	16	1	1	10	正常
	16	10	240	2 400	正常
在线	16	1	1	4	正常
	16	10	240	160	正常

经测试,PPC-8548通过RapidIO网络向FPGA-V7-485T发送数据,在1X模式、2.5 Gbit/s速率下,可达到10 MB/s。充分利用FLASH在擦除block块开销时间长以及PPC-8548传输速率高、远程更新虚通道可扩展等特点,可通过PPC-8548芯片同时对6个信号处理模块内的6个FPGA芯片进行程序更新。从表1可以看出,随着软件版本及FPGA节点数目增多,相比JTAG方式,在线更新方式优势更加明显。

## 5 结束语

针对航电系统中FPGA芯片程序远程更新,给出了一种基于RapidIO的FPGA远程在线更新方案。采用软件无线电设计思想、硬件通用化设计、软件可复用可重构思路进行。经测试,设计稳定可靠,相比传统的JTAG加载方式,本设计更新

FPGA 程序的速度得到了很大的提升。该设计目前已用于某工程项目中。

#### 参考文献:

- [1] 陈颖,苑仁亮,曾利. 航空电子模块化综合系统集成技术[M]. 北京:国防工业出版社,2013:1-2.
- [2] 李强,罗超,夏威,等. FPGA 远程更新系统[J]. 仪表技术与传感器,2014(7):72-74.
- [3] 刘剑,李赛辉,周邦华,等. 一种基于 Nand Flash 多版本程序的 FPGA 智能加载方法[J]. 雷达与对抗,2015,35(3):68-70.
- [4] 于乐,王嘉良. 易于移植的 FPGA 在线更新控制器设计[J]. 航空电子技术,2015,46(4):47-50.
- [5] 黄勇. 一种新型的 FPGA 快速动态配置和远程加载技术[J]. 通信技术,2013,46(12):93-96.
- [6] 汪灏,张学森. 一种基于串行方式的 FPGA 远程加载电路[J]. 电子科学技术,2016,3(2):171-173.

(上接第 536 页)

- Mixture Random Hypersurface Models for Tracking Multiple Extended Objects[C]//50th IEEE Conference on Decision and Control and European Control Conference, Orlando, FL:IEEE,2011:3166-3171.
- [6] GRANSTROM K, LUNDQUIST C, ORGUNER U. Extended Target Tracking Using a Gaussian-Mixture PHD Filter[J]. IEEE Trans on Aerospace and Electronic Systems,2012,48(4):3268-3286
- [7] 李文娟,顾红,苏卫民. 基于多伯努利概率假设密度的扩展目标跟踪方法[J]. 电子与信息学报,2016,38(12):3114-3121.
- [8] 连峰,马冬冬,元向辉,等. 扩展目标 CBMeMber 滤波器及其高斯混合实现[J]. 控制与决策,2015,30(4):611-616.
- [9] 耿文东,王元钦,董正宏. 群目标跟踪[M]. 北京:国防

(上接第 542 页)

- 19(5):565-568.
- [10] 文必洋,韩金柱,周企豪,等. 高频地波雷达射频干扰抑制新算法的研究[J]. 电波科学学报,2016,31(4):639-646.
- [11] 姚天任,孙洪. 现代数字信号处理[M]. 武汉:华中科技大学出版社,1999.
- [12] ZHOU Hao, WEN Biyang. Radio Frequency Interference Suppression in Small-Aperture High-Frequency Radars[J]. IEEE Geoscience and Remote Sensing Letters,2012,9(4):788-792.
- [13] BARRICK D E, EVANS M W, WEBER B L. Ocean Surface Currents Mapped by Radar[J]. Science,

- [7] 赵秋明,王龙飞,肖丹,等. 一种新型软件无线电重构加载方法研究[J]. 电视技术,2013,37(19):87-90.
- [8] 熊璐. 基于 CPCI 的动态可重构系统设计与实现[J]. 现代电子技术,2016,39(8):104-107.
- [9] 黄振中,倪明,柴小丽. 基于 VxWorks 的 RapidIO-IP 设计与实现[J]. 计算机工程,2010,36(18):243-245.
- [10] 王怡然,常文革,田海山. RapidIO 技术在高速信号处理系统中的应用[J]. 雷达科学与技术,2013,11(4):390-394.

#### 作者简介:



**朱道山** 男,1985 年出生于安徽六安,工程师,主要研究方向为数字信号处理、通信中间件设计。  
E-mail:287063854@qq.com

工业出版社,2014.

- [10] 韩玉兰,朱洪艳,韩崇昭. 采用随机矩阵的多扩展目标滤波器[J]. 西安交通大学学报,2015,49(7):98-104.

#### 作者简介:



**王婷婷** 女,1991 年生,山东菏泽人,硕士研究生,助理工程师,主要研究方向为群目标跟踪技术、雷达数据处理。  
E-mail:287064351@qq.com

**何科峰** 男,1978 年生,江苏常州人,硕士,高级工程师,主要研究方向为机载雷达系统、雷达数据处理。

**程然** 男,1989 年生,黑龙江大庆人,硕士研究生,助理工程师,主要研究方向为机载雷达系统、多目标跟踪技术。

1977,198(4313):138-144.

#### 作者简介:



**王雅甜** 女,1993 年生,湖北武汉人,硕士研究生,主要研究方向为大数据信号处理。  
E-mail:wangyatian@whu.edu.cn

**岳显昌** 男,1976 年生,辽宁人,副教授、硕士生导师,主要研究方向为中高层大气动力学及无线海洋遥感。

**张兰** 女,1982 年生,湖北人,博士,主要研究方向为高频地波雷达信号处理。