

VPX 总线技术及其实现*

包利民 潘 奇

南京电子技术研究所, 江苏 南京 210039)

摘 要 VPX 总线规范将高速串行总线兼容到系统架构中来,在嵌入式领域有着广泛的应用前景。文中对 VPX 总线 3U、6U 模块和背板的基本规范进行说明和分析,并在此基础上给出一种基于 VPX 总线的嵌入式系统的实现方案。模块设计采用 PowerPC MPC8641D 与 RapidIO 交换器 Tsi577 的结合,背板设计采用全网状拓扑结构,支持模块之间高速点对点通讯。强大的数据处理和数据交换能力是新一代雷达军用综合信息处理系统的发展趋势。

关键词 VPX RapidIO 嵌入式系统

中图分类号 TP336 文献标识码 A 文章编号 1008-5300 2012 02-0057-04

VPX Bus Techniques and Its Implementation

BAO Li-min , PAN Qi

Nanjing Research Institute of Electronics Technology , Nanjing 210039 , China)

Abstract High speed serial bus is compatible in the architecture of VPX bus specification. VPX bus has extensive application prospect in high-performance embedded computing area. The 3U and 6U module and back-board of chassis are described and analyzed ,and a project of embedded system base on VPX bus is also shown in this paper. The module is designed with PowerPC MPC8641D and RapidIO switch Tsi577. The backboard is designed with mesh topology architecture , which supports high speed point to point communication. The powerful ability of data processing and data exchange is a trend of military information processing system of radar.

Key words VPX RapidIO embedded system

引 言

VPX 总线作为新一代的工业总线标准,由 VME 总线发展而来,在应用于恶劣环境下嵌入式系统之间高速互联上取得了长足进步。VME 总线规范首次发布于 1981 年,其架构已成功应用于军用嵌入式系统将近 1/4 个世纪。随着技术的进步以及应用性能需求的不断提高,VME 总线在带宽、功耗限制等方面的瓶颈也日益突出^[1]。VPX 总线在保留 VME 总线某些特性的同时,最主要的变化在于引入了高速串行总线来替代并行总线。VPX 模块之间的互联可以采用 Serial RapidIO、PCI Express、Fibre Channel、InfiniBand、Hypertransport、10GB 以太网等高速串行总线。这一改进使得 VPX 总线的带宽大大增加。提出 VPX 的动机主要包括以下几个方面^[2] :

1 面向高密度、高性能计算。一方面系统可以应用于尺寸和重量受限的领域,另一方面系统应具有实现复杂算法和连接多个高速数据源的性能。

2 扩展带宽。采用串行互连架构,可以在显著增加带宽的同时,大大减少引脚的数量。VME 总线的带宽为 40 ~ 60 MB,通过增加串行连接的数量,VPX 总带宽可以达到 100 GB/s。串行互连技术如 RapidIO、10GbE 采用 XAUI 电气规范,其运行速度为 3.125 Gb/s。其他一些串行通讯技术的数据传输速度也在同一量级,如 PCI Express 为 2.5 Gb/s, Fibre Channel 为 4 Gb/s,皆超出了 VME64X 系统 DIN 连接器 1 Gb/s 传输速率的限制。

3 增强的电源设计。在 VME64X 规范中,背板的功耗限制为 35W,考虑到目前微处理器的快速发展,

多核、多处理器技术也在不断成熟,这一功耗限制已经成为瓶颈。VPX 规范通过增加背板的供电以及更加完善的散热系统(传导、液冷)来解决此问题。

4 抗恶劣环境,可维护商业现货。

VITA46 系列协议对 VPX 总线做出了规范,VPX 即为对 VITA46 系列协议的指称^[3]。该系列协议由 VITA 46.0 基本规范以及涉及 VMEbus、Serial RapidIO 等信号映射的各类子协议构成。

以下对 VPX 系统 3U、6U 模块和背板的基本规范做出说明和分析,并在此基础上给出一种基于 VPX 总线的嵌入式系统的实现方案。

1 VPX 模块

1.1 3U 与 6U 模块

VPX 模块结构尺寸采用了 IEEE 1101.1 和 1101.2 标准,分别对应于采用空气冷却和导体冷却的模块。对于 3U 和 6U 模块,VITA46 协议给出的 PCB 尺寸分别为 160 mm×100 mm 和 160 mm×233.35 mm,各模块之间的间距为 20.32 mm。在此要说明的是,在 VITA48

(VPX-REDI, The Ruggedized Enhanced Design Implementation) 协议即加固型 VPX 系统的实现中,增加了 0.85 英寸(21.59 mm)以及 1 英寸(25.4 mm)的模块间距选项。在所用连接器符合 VITA46 协议的前提下,VPX 系统模块允许采用其他的结构形式。

对于 3U 模块,需采用 P0、P1、P2 三个连接器,对于 6U 模块则需在 3U 的基础上增加 P3、P4、P5、P6 四个连接器。需要特别说明的一点是,相对于 VME 总线,VPX 总线技术使得 3U 模块的性能得以提升。3U 模块广泛应用于轻型、小型系统中。VME 总线 3U 模块最大的缺陷在于缺少后端的 I/O 管脚。而 CPCI 总线 3U 模块每个系统槽最多能提供 75 个 I/O 管脚,每个外设槽最多能提供 105 个 I/O 管脚。VME64 总线 3U 模块的最大带宽为 40 Mb/s,而 CPCI 总线 3U 模块的最大带宽为 528 Mb/s。VPX 总线 3U 模块的 I/O 管脚数大大增加,同时具有高的数据传输速率和可靠性。在 3U 模块的设计上,VPX 与 CPCI 相比优势明显。

1.2 供电电源

VPX 模块采用直流电源供电,主供电电压为 +5 VDC、+12 VDC 或 +48 VDC,辅助供电电压为 +3.3 VDC、±12 VDC。对模块的供电通过连接器 P0 实现,主供电电压对应 P0 信号定义中的 V_{s1} 、 V_{s2} 和 V_{s3} 。实际供电电压为 V_{s1} 、 V_{s2} 和 V_{s3} 的组合。

对于 3U 模块,提供的高电压可以为 12 V,此时 V_{s1} 为 12 V, V_{s2} 为 3.3 V, V_{s3} 应为 +5 V。供电电源

不需要隔离。

对于 6U 模块,提供的高电压可以为 48 V 或 12 V

(但两者不能同时使用)。如果不向模块提供高电压,不应将 V_{s1} 、 V_{s2} 连接至任何输入电源。如果输入高电压为 48 V, V_{s1} 应为 48 V, V_{s2} 为 48 V 供电电源的负极。如果输入高电压为 12 V, V_{s1} 、 V_{s2} 应为 12 V,此时可以将 V_{s1} 、 V_{s2} 连接在一起。输入电压 V_{s3} 应为 +5 V。

如果采用 5 V、12 V 的供电电压,每个槽位所允许的最大功率分别为 115 W、384 W。采用 48 V 的高电压供电,每个槽位所允许的最大功率达到了 768 W。功耗限额的提高,使得设计者在选取器件时有了更大的灵活性。此时真正的功耗限制取决于系统的冷却能力。为此,在 VPX-REDI 中甚至引入了液体冷却的方式。

1.3 连接器及关键信号定义

VPX 系统模块与背板之间的连接采用 Tyco 公司的 MultiGig RT2 连接器^[4]。该连接器触点及内部布线利用微型印制板技术制造,在信号传输速度、插拔力、管脚密度等方面与 VME 总线使用的连接器相比有了很大改进。MultiGig RT2 连接器在保证良好的信号完整性的前提下,单个差分连接的传输速度可以达到 6.25 Gb/s。同时该连接器具有插入损耗低、环境适应性强的特点。采用该连接器后,单个 VPX 模块具有 484 个信号连接,包括可用于高速串行互联的 32 对差分信号、104 个 VME64 信号、268 个 I/O 信号(包含 128 个差分信号对,至此模块的高速差分信号对的总数为 160 对)、28 个可用于系统应用或备用的信号。

VPX 模块上的连接器 P0 采用的器件型号为 1410189-3,图 1 给出了 PCB 设计时 P0 对应的封装及信号分类。

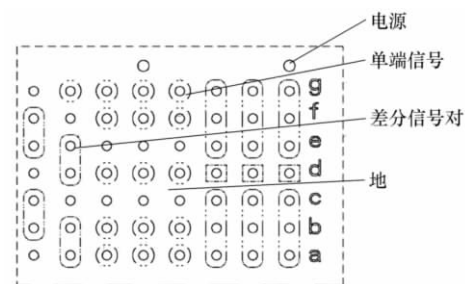


图 1 Tyco1410189-3 封装及信号分类

从图中可以看出,该连接器包含 7 行 8 列,对应于连接器的 8 个插片,共 56 个管脚,管脚类型可以分为电源、地、单端信号以及差分信号。在实际应用中,这些信号分别被定义为电源、地、寻址,用以区分每一个槽位(系统管理、系统复位、参考时钟、非易失性存储

器写保护和 JTAG 等信号。

P1 采用高速差分信号连接器用于模块间的互联，其信号定义将在第 4 节中描述。P2 ~ P6 采用高速差分信号连接器或单端信号连接器，具体定义参见 VITA46 协议。

1.4 对准与键控

按照 VPX 基本规范要求，在 3U、6U 模块上分别使用 2 个、3 个对准/键控器件。键的类型共有 5 种，因此 3U 模块可以区分 25 种，6U 模块可以区分 125 种不同的板卡。背板上的对准与键控销 器件型号：1-1469491-X 止的平面必须与模块上的对准与键控套筒 器件型号 1-1469492-X 孔内壁上的匹配平面相贴合，才能使模块与背板装配在一起。

需要说明的是，同一底板上的定位销是相同的，共 3 种型号：1-1469491-2，1-1469491-3，1-1469491-4；不同的型号仅代表肋的不同高度，与背板 PCB 的厚度相适应。根据与之配合的模块上的定位套筒的型号，来确定定位销不同的安装角度。定位销上贴合平面的朝向。定位销朝向可以为 0°、45°、90°、270°、315° 共 5 种。

2 VPX 背板

2.1 拓扑结构

VITA46 标准没有定义背板的路由，而定义了 32 个差分信号对到 J1 的映射，这样系统设计者可以灵活地设计最有效的路由机制以满足应用需求。

根据具体的应用需求，VPX 背板的拓扑结构可以是网络型、星型、双星型、菊花链型等。VPX 不要求所有的槽位都符合背板的协议，可以通过混合背板的方式在同一张背板上同时实现 VPX 总线和其他总线（如 VME 总线）。

VPX 背板协议可以采用树状和网状两种拓扑结构。树状结构需要一个系统槽，其余各槽均需路由至系统槽，而全网状结构则需每个槽到其余各槽的路由。与之对应，背板可以采用分布交换或集中交换的方式。

分布式的特点是每个模块上都有一个 Switch 芯片，各模块之间通过板上的 Switch 采用 Serial RapidIO、PCI-E、GbE 等方式实现互联，优点是没有单独的交换板占用槽位，最大化地利用了机箱空间。集中式的特点是采用一个单独的交换板实现各模块互联，这种方式必须占用一个背板槽位。

2.2 管脚映射

在设计背板时，需要特别注意模块连接器 P0 ~ P6 与背板连接器 J0 ~ J6 之间的管脚映射关系。由于模

块连接器为 7 行 8(片 56 个或 16 片 112 个管脚)而背板连接器为 9 行 8(片 72 个或 16 片 144 个管脚)，进行 PCB 设计时模块连接器与背板连接器的管脚不是同名对应的。具体来说，对于背板连接器 Tyco1410140-1，如果与差分信号连接器 Tyco1410187-3，包含 32 个差分信号对、8 个单端信号、40 个地相连，支持 32 个差分信号对、8 个单端信号、72 个地。如果与单端信号连接器 Tyco1410190-3，包含 80 个单端信号、32 个地相连，支持 80 个单端信号、64 个地。总体多出 32 个地，对应管脚编号发生变化。表 1 为最简单的单端信号连接器到背板连接器管脚的转换关系，其中 x 代表 1 ~ 16，即 1 ~ 16 列。

表 1 单端信号管脚转换表

管脚类型	单端信号连接器 管脚编号	背板连接器 管脚编号
信号	ax	bx
信号	bx	cx
信号	dx	ex
信号	fx	gx
信号	gx	hx
地	cx, ex	ax, dx, fx, jx

3 实现方案

本文在此给出一种基于 VPX 的嵌入式系统实现方案。6U 模块采用 PowerPC MPC8641D + Serial RapidIO Switch IDT Tsi577 的方案。采用串行 RapidIO 作为 5 槽互联全网状拓扑结构背板上各模块之间的数据通信协议。

3.1 模块设计

MPC8641D 具有两个串行化器/并行化器 (Serializer/Deserializer, SerDes) 接口用于高速串行连接，其中 SerDes1 专用于 PCI-E 数据传输，SerDes2 可以用于 PCI-E 和/或 Serial RapidIO 数据传输^[5]。MPC8641D 的 SerDes2 接口与 Tsi577 关键信号的连接关系参见图 2。

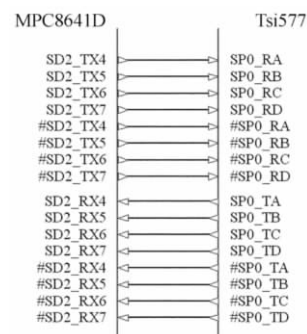


图 2 MPC8641D 与 Tsi577 连接关系示意图

MPC8641D 的 SerDes2 接口包含 8 个发送差分信号对、8 个接收差分信号对,实际发送接收各使用 4 个。高 4 位与 Tsi577 的一个 4X 端口相连,Tsi577 的其余端口与连接器 P1 的各端口相连。

3.2 全网状背板

RapidIO 作为第一个嵌入式系统互联的国际标准,被定义为一种高性能低引脚数基于包交换的交叉开关互连技术^[6-9]。本方案背板采用分布式交换的方式,采用 Serial RapidIO 作为 5 槽互联全网状拓扑结构,如图 3 所示。背板上各模块之间的数据通信协议。

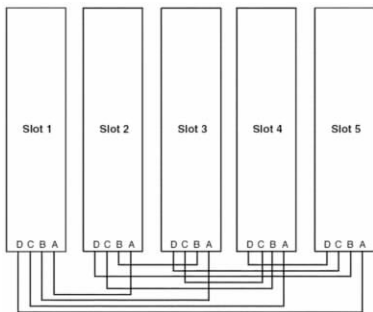


图 3 5 槽互联全网状背板结构

此时背板连接器 J1 对应模块连接器为 P1 中的 32 个差分信号对被映射成 PortA、PortB、PortC、PortD 四个端口。每个端口包含 4 个发送差分信号对 TX0 包含 TX0+和 TX0- } TX3、4 个接收差分信号对 RX0 包含 RX0+和 RX0- } RX3。一个发送差分信号对和对应编号的一个接收差分信号对构成一个通道 Lane 则每个端口包含 4 个通道。对各槽 J1 对应的 4 个端口应按照以下规则连接:

1 从第一个槽位开始;

2 从最低字母顺序的未连接端口开始,对于槽中的每一个未连接端口,连接至其后每个槽的最低未连接端口;

3 其余槽位重复规则 2,如图 4 所示。各互连端口相应通道的发送和接收差分信号对互连。

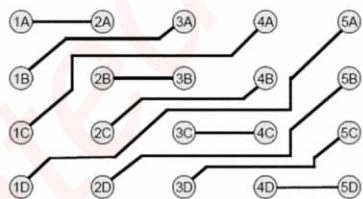


图 4 5 槽互联背板路由图

这样背板上每个槽位的模块均可以与其余 4 个槽

位的模块通过 RapidIO 高速串行总线进行通讯。RapidIO 串行物理层接口提供一个符合 XAUI 的电气接口,其运行速度为 1.25、2.5、3.125 Gb/s。采用 8b/10b 的编码策略,有效数据率为 1、2、2.5 Gb/s。传输速率可以通过 Tsi577 的 SP_IO_SPEED 管脚来定义。

4 结束语

VPX 作为新一代的工业总线标准,可以看作是 VME 总线革命性的改进。VPX 与 VME 总线相比,最大的变化在于引入了 Serial RapidIO、PCI Express 等高速串行总线来替代原有的共享并行总线,使得系统内不同组件之间的通讯带宽大大增加。本文给出了一种基于 VPX 的嵌入式系统实现方案,背板采用 5 槽互联全网状拓扑结构,各模块均包含交换器件,模块之间可以直接进行点对点通讯,具有结构紧凑、设计实现灵活等特点。

参考文献

- [1] GE Fanuc Embedded Systems, Inc. VPX VMEbus for the 21st Century [M]. 2007.
- [2] Mercury Computer Systems, Inc. Technology Overview VITA 46 (VPX) [M]. 2006.
- [3] VMEbus International Trade Association. American National Standard for VPX Baseline Standard [M]. ANSI/VITA 46. 0-2007.
- [4] Tyco Electronics Corporation. Application Specification of MULTIGIG RT Signal Connectors [M]. 2010.
- [5] Freescale Semiconductor. MPC8641 and MPC8641D Integrated Host Processor Hardware Specifications [M]. 2008.
- [6] RapidIO Trade Association. RapidIO Interconnect Specification [M]. 2002.
- [7] 马春江,牛文生,孙靖国. 几种串行总线互连技术分析 [J]. 航空计算技术 2007, 37(5): 127-130.
- [8] 邓豹,赵小冬. 基于串行 RapidIO 的嵌入式互连研究 [J]. 航空计算技术 2008, 38(3): 123-126.
- [9] 赵博龙,赵云忠,孔德岐. RapidIO 互连技术研究及其模型验证 [J]. 航空计算技术 2009, 39(4): 127-130.

包利民 (1956-) 男,工程师,长期从事雷达计算机的设计与应用。

潘奇 (1980-) 男,工程师,主要从事计算机及其接口、计算机网络的设计。

嵌入式资源免费下载

总线协议:

1. [基于 PCIe 驱动程序的数据传输卡 DMA 传输](#)
2. [基于 PCIe 总线协议的设备驱动开发](#)
3. [CANopen 协议介绍](#)
4. [基于 PXI 总线 RS422 数据通信卡 WDM 驱动程序设计](#)
5. [FPGA 实现 PCIe 总线 DMA 设计](#)
6. [PCI Express 协议实现与验证](#)

VxWorks:

1. [基于 VxWorks 的多任务程序设计](#)
2. [基于 VxWorks 的数据采集存储装置设计](#)
3. [Flash 文件系统分析及其在 VxWorks 中的实现](#)
4. [VxWorks 多任务编程中的异常研究](#)
5. [VxWorks 应用技巧两例](#)
6. [一种基于 VxWorks 的飞行仿真实时管理系统](#)
7. [在 VxWorks 系统中使用 TrueType 字库](#)
8. [基于 FreeType 的 VxWorks 中文显示方案](#)
9. [基于 Tilcon 的 VxWorks 简单动画开发](#)
10. [基于 Tilcon 的某武器显控系统界面设计](#)
11. [基于 Tilcon 的综合导航信息处理装置界面设计](#)
12. [VxWorks 的内存配置和管理](#)

Linux:

1. [Linux 程序设计第三版及源代码](#)
2. [NAND FLASH 文件系统的设计与实现](#)
3. [多通道串行通信设备的 Linux 驱动程序实现](#)
4. [Zsh 开发指南-数组](#)
5. [常用 GDB 命令中文速览](#)

6. [嵌入式 C 进阶之道](#)

Windows CE:

1. [Windows CE.NET 下 YAFFS 文件系统 NAND Flash 驱动程序设计](#)
2. [Windows CE 的 CAN 总线驱动程序设计](#)
3. [基于 Windows CE.NET 的 ADC 驱动程序实现与应用的研究](#)
4. [基于 Windows CE.NET 平台的串行通信实现](#)
5. [基于 Windows CE.NET 下的 GPRS 模块的研究与开发](#)
6. [win2k 下 NTFS 分区用 ntldr 加载进 dos 源代码](#)
7. [Windows 下的 USB 设备驱动程序开发](#)
8. [WinCE 的大容量程控数据传输解决方案设计](#)
9. [WinCE6.0 安装开发详解](#)
10. [DOS 下仿 Windows 的自带计算器程序 C 源码](#)
11. [G726 局域网语音通话程序和源代码](#)
12. [WinCE 主板加载第三方驱动程序的方法](#)
13. [WinCE 下的注册表编辑程序和源代码](#)
14. [WinCE 串口通信源代码](#)
15. [WINCE 的 SD 卡程序\[可实现读写的源码\]](#)

PowerPC:

1. [Freescale MPC8536 开发板原理图](#)
2. [基于 MPC8548E 的固件设计](#)
3. [基于 MPC8548E 的嵌入式数据处理系统设计](#)
4. [基于 PowerPC 嵌入式网络通信平台的实现](#)

ARM:

1. [基于 DiskOnChip 2000 的驱动程序设计及应用](#)
2. [基于 ARM 体系的 PC-104 总线设计](#)
3. [基于 ARM 的嵌入式系统中断处理机制研究](#)

RT Embedded <http://www.kontronn.com>

4. [设计 ARM 的中断处理](#)
5. [基于 ARM 的数据采集系统并行总线的驱动设计](#)
6. [S3C2410 下的 TFT LCD 驱动源码](#)

Hardware:

1. [DSP 电源的典型设计](#)
2. [高频脉冲电源设计](#)
3. [电源的综合保护设计](#)
4. [任意波形电源的设计](#)