

图1电路中, +5V电源和10 μ F电容以及10K Ω 电阻构成上电复位电路,两个30PF的电容和12MHz的晶振构成单片机的时钟电路,P1.0引脚接两级放大后驱动扬声器发声。

3.2 软件部分

电子音乐的软件可采用多种方法编程实现。现列举其中一种方法介绍原理和流程,根据乐谱可确定歌曲的音符和节拍,然后根据音符和简谱码的对应关系以及节拍码和节拍数的对应关系建立歌曲的数据表。数据表以字节为单位,高半字节存放简谱码,低半字节存放节拍码,取简谱码后查找对应的时间常数N,将N送给定时器,启动定时器便可实现音符频率。根据节拍码控制音符延时时间实现节拍。程序分三部分,分别为主程序、定时器中断程序、节拍延时子程序。根据图1硬件电路图设计出软件流程图(图2),流程图中工作寄存器和存储单元的功能如图2。

30H单元存放音乐数据表的偏移量,R2用于备份数据,节拍码存于R5中。节拍延时以1/4拍时间为基准单位。若从数据表中取得的数据为00H,表示该歌曲已唱完;若简谱码为00H,表示歌曲中的停顿部分,此时定时器关闭,扬声器不发声。

4 结束语

利用单片机控制的电子音乐发生器软硬件上具有独特的优点,系统的开发周期短,成本低,电路制作容易。更换歌曲时,硬件电路无需作任何修改,只需修改软件即可实现。软件编程时,可用51系列单片机的汇编语言或C51语言实现。同

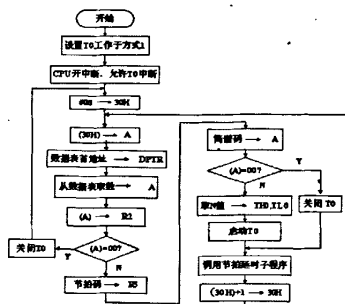


图2 主程序流程图

时还可根据个人的喜好通过软件改变节拍的延时时间,增加电子音乐的趣味性,并且其用途也会越来越广。□

参考文献

- [1] 林志琦. 基于Proteus的单片机可视化软硬件仿真[M]. 北京: 北京航空航天大学出版社, 2006.
- [2] 徐仁贵. 单片微型计算机应用技术[M]. 北京: 机械工业出版社, 2000.
- [3] 戴佳, 戴卫恒. 51单片机C语言应用程序设计实例精讲[M]. 北京: 电子工业出版社, 2007.

作者简介: 彭志刚(1974-), 男, 湖南工业职业技术学院讲师, 主要研究方向: 电子技术应用。

投稿日期: 2007-11-15 (7800)

文章编号: 1671-1041(2008)03-0105-03

PCI9052 在 PCI 总线接口和 WDM 驱动程序的设计

张翌翀, 陈卫东

(上海交通大学 自动化系, 上海 200030)

摘要: 本文以 PCI9052 控制芯片设计了 DSP 处理器与 PCI 总线的总线接口电路, 详细研究了 PCI 总线接口的硬件设计和地址空间分配, 并在 Windows2000 平台下用 Driver Studio 开发 WDM 驱动程序。

关键词: PCI 总线; PCI9052; Windows 驱动程序模型

中图分类号: TP363 文献标识码: B

The design of PCI bus interface and the programming of its WDM driver using PCI9052

ZHANG Yi-chong, CHEN Wei-dong
(Automation Department of Shanghai Jiaotong University, Shanghai 200030)

Abstract: This paper uses the PCI9052 control chip to design the interface circuit between DSP processor and PCI bus, studies the hardware design of PCI bus interface and address location and uses Driver Studio to design the WDM driver on Windows2000 platform.

Key words: PCI bus; PCI9052; WDM

PCI 总线协议比较复杂, 开发 PCI 较 ISA 困难, 一般开发 PCI 可以采用两种方法: 一种是采用 FPGA/CPLD 设计, 另一种是使用现成的 PCI 总线桥接芯片。采用 FPGA/CPLD 设计 PCI 总线接口需要对 PCI 标准有相当透彻的理解, 其设计比较灵活, 在协议规范内, 可以按实际需要设计, 但是开发难度大, 周期长, 一般用于大批量产品设计中, 许多公司开发了 PCI 协议的 IP 核, 用户购买后略作修改就可以使用, 但是 IP 核的价格一般相当昂贵, 不适合于小批量生产。采用 PCI 桥接芯片

设计 PCI 总线接口开发周期短, 价格比较便宜, 不需要完全理解 PCI 协议, 适合于大批量产品开发。为了缩短系统的开发时间和成本, 本文选用 PCI 桥接芯片设计 PCI 总线接口。

1 PCI 9052 芯片主要特点

PCI9052 是 PLX 公司继 PCI9050 后推出用于低成本适配器的总线目标接口芯片^[1]。PCI9052、PCI9050 一样提供用于适配卡的小型而高性能的 PCI 总线目标(从属)接口, 使 PCI 适配器可以迅速、低成本地转换到 PCI 总线上。PCI9052 使适配卡上的 I/O 数据传送从 PCI 总线速度的 8MHz 加速到 33MHz, 可实现 132 兆字节/秒的数据传输能力。

PCI9052 主要有以下特点:

(1) 兼容 PCI 2.1 协议规范, 支持低开发成本的从模式 PCI 设备, 并内含 ISA 总线接口逻辑, 使基于 ISA 的设计能够非常容易地移植到 PCI 总线上。

(2) PCI 总线的所有信号, 包括控制、地址和数据信号, 都由 PCI9052 生成和驱动, 接口卡设计者不必考虑 PCI 总线的信号, 只需在 PCI9052 的局部总线上进行设计, 这一特性使得设计者不必详细地了解 PCI 总线的协议, 而只需掌握 PCI9052 的局部总线。

(3) 局部总线时钟可以异步于 PCI 总线时钟, 局部时钟的频率范围为 0~40MHz。

(4) 局部总线的配置可编程, 支持复用或非复用模式的 8、16 或 32 位局部总线。

(5) 具有 5 个局部地址空间, 它们都能映射为 PCI 总线的

存储器空间或 I/O 空间。具有 4 个局部地址空间的片选信号,每个片选信号在局部地址空间中的位置都能通过编程设置。

2 系统总体结构

图 1 是微机系统与 DSP 处理器的 PCI 总线接口原理图,支持对本地端的控制,它要求一块 EEPROM 作为初始化存储器,因此设计中用的是 93LC46B 芯片,在系统加载时 PCI9052 先从该 EEPROM 存储器中加载初始数据作初始设置,因而 EEPROM 的信息会决定 PCI 卡的加载和运行能否正常;为了满足 PCI 总线与 DSP 芯片的高速通讯,两者中间加入了双端口 RAM IDT7132。在本地端为了对 PCI 总线进行控制,我们使用了 DSP(TMS320VC33) 芯片, TMS320VC33 是功能强大、方便易用的 PCI 通讯控制器,它封装了 PCI 的通讯协议,目前应用广泛。

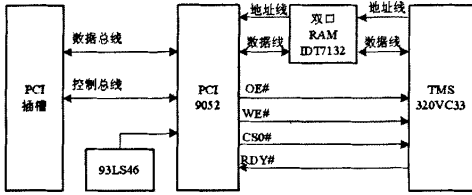


图 1 PCI 总线接口结构图

3 PCI 总线接口设计

3.1 PCI 总线接口电路

PCI9052 电路设计如图 2 所示,采用局部总线(Local Bus)方式,地址线 and 数据线采用非复用模式(C 模式)^{[2][3]}。图中 LCLK 通过 50 欧姆电阻和 BCLKo 连接,提供 PCI9052 的本地时钟信号。PCI9052 的 PCI 总线接口端连接固定,47 根连接线和 PCI 插槽相连。局部总线端仅扩展了一个双口 RAM IDT7132,连线较为简单,扩展 8 根数据线,11 根地址线,地址线的连接需要特别注意,双口 RAM 地址线的高 9 位 A02~A10 和 PCI9052 的地址线 LA2~LA10 连接,低两位 A00、A01 分别和 LBE0# 和 LBE1# 连接。

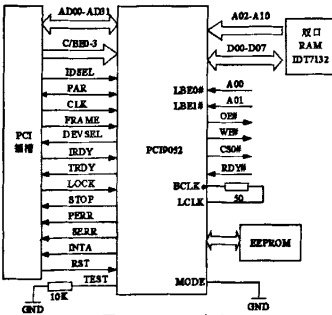


图 2 PCI9052 电路图

PCI9052 支持大、小两种模式,可以通过 EEPROM 进行配置。对于 8 位局部总线,在大模式下传输一个双字(32 位)的数据顺序和小模式下传输一个双字(32 位)数据顺序不同。本系统设计采用的是小模式,双口 RAM 的 8 根数据线和 PCI9052 的低 8 位数据线连接。

3.2 地址空间分配

PCI 总线有 3 种地址空间^[1]: I/O、内存和配置。前二种容易理解,它们分别对应设备的 I/O 端口和内存空间,而配置空间则用于访问设备的配置寄存器,操作系统根据这些配置信息,实现 PCI 接口即插即用。PCI9052 的配置信息是通过串行 EEPROM 储存并在芯片复位时进行加载的,串行 EEPROM 要求采用 NM93CS46 或与之兼容的存储器,必须支持连续读写,本系统设计中,EEPROM 选用了 93LC46B。

PCI 总线上电后,PCI9052 的内部寄存器由 PCI 总线的 RST#信号复位,并给出响应信号 RETRY,在局部总线上输出 LRESET#信号。PCI9052 复位后,开始读 EEPROM 数据,若读出数据的第一位是一个低电平,表明 EEPROM 存在,否则表明它不存在,如果读出的第一个字为非 FFFFH,表明 EEPROM 非空,否则认为 EEPROM 为空,非空时继续读取后面的配置信息,为空时 PIC9052 使用默认配置。根据读取的配置信息,系统 BIOS 为板卡申请一定的资源(如中断、I/O 空间、存储器空间等),PCI9052 便可以根据局部配置寄存器中所定义的局部总线工作访问方式完成相应的操作。

从上面分析我们可以看出,要实现 PCI9052 的正常工作,实现对 EEPROM 的有效配置是至关重要的。PCI9052 的 PCI 配置寄存器如表 1 所示,本系统中需要在 EEPROM 中设置的 PCI 配置寄存器和值为: DID(02h) 和 VID(00h) 为 905010B5h, Class Code(08h) 为 0680h, PCI 基址寄存器 2(PCIBAR2) 为 FFFF8000h,而其余的配置寄存器都置为零。

表 1 PCI9052 配置寄存器

总线地址	PCI 配置寄存器(从兼容性和未来发展的需要考虑,所有未用到的位设置为“0”)		
00h	DID(设备号)		VID(供应商代码)
04h	状态		命令
08h	分类代码		修改版本
0ch	自测试	头标类型	延时计数 Cache 大小
10h	PCIBAR0 - PCI 基址寄存器 0(内存映射)		
14h	PCIBAR1 - PCI 基址寄存器 1(I/O 内存映射)		
18h	PCIBAR2 - PCI 基址寄存器 2(局部地址空间 0 映射)		
1Ch	PCIBAR3 - PCI 基址寄存器 3(局部地址空间 1 映射)		
18h	PCIBAR4 - PCI 基址寄存器 4(局部地址空间 2 映射)		
18h	PCIBAR5 - PCI 基址寄存器 5(局部地址空间 3 映射)		
28h	CIS(不支持)		
2Ch	SDID		SVID
30h	PCI 基址映射局部扩展 ROM		
34h	保留		
38h	保留		
3Ch	Max - Lat	Min - Gut	中断引脚 为断线

表 2 PCI9052 局部配置寄存器

偏移地址	局部配置寄存器
00H	局部地址空间 0 地址范围(LAS0RR)
04H	局部地址空间 1 地址范围(LAS1RR)
08H	局部地址空间 2 地址范围(LAS2RR)
00H	局部地址空间 3 地址范围(LAS3RR)
10H	地方扩展 ROM 地址范围(EEPROMRR)
14H	局部地址空间 0 局部基址(重映射)(LAS0BA)
18H	局部地址空间 1 局部基址(重映射)(LAS1BA)
1CH	局部地址空间 2 局部基址(重映射)(LAS2BA)
14H	局部地址空间 3 局部基址(重映射)(LAS3BA)
24H	扩展 ROM 局部基址(重映射)(EROMBA)
28H	局部地址空间 0 总线区域描述寄存器(LAS0BRD)
2CH	局部地址空间 1 总线区域描述寄存器(LAS1BRD)
30H	局部地址空间 2 总线区域描述寄存器(LAS2BRD)
34H	局部地址空间 3 总线区域描述寄存器(LAS3BRD)
38H	扩展 ROM 总线区域描述寄存器(EROMBRD)
3CH	片选 0 基址(CS0BASE)
40H	片选 1 基址(CS1BASE)
44H	片选 2 基址(CS2BASE)
48H	片选 3 基址(CS3BASE)
4CH	中断控制/状态(INTCSR)
50H	用户 I/O、串行 EEPROM、直接 SLAVE 控制,以及初始化控制寄存器(CNTRL)

PCI 总线上的主设备通过 PCI9052 来直接访问局部总线

上的从设备。对于 Memory 映射传输 PCI9052 支持突发式和单周期方式的数据传输,对于 I/O 映射传输只支持单周期的方式,设计中选用 Memory 方式,将局部空间映射到计算机的 Memory 地址空间。PCI9052 映射到 PCI 总线 Memory 空间的地址,由 PCI 基址寄存器和本地总线映射寄存器转化为局部地址,共有五个局部地址空间可供使用:SPCAEO、SPACE1、SPACE2、SPACE3 和 ExpansionROM, ExpansionROM 为支持可启动 ROM 设备准备。PCI9052 局部配置空间的结构如表 2 所示,每个地址空间在 PCI 总线和本地总线的映射由三个寄存器确定:LASxRR(局部地址空间地址范围寄存器)、LASxBA(局部地址空间局部地址重映射寄存器)、PCIBARx(PCI 基址寄存器)。寄存器 LASxBRD(局部地址空间总线区域描述寄存器)描述了每个地址空间的特性,在进行数据传输前可以随时修改该寄存器的值,以改变地址空间的特性。

4 驱动程序设计

DriverStudio 是一套用来简化微软 Windows 平台下设备驱动程序的开发、调试和测试的工具包,加快 Windows 设备驱动程序开发的同时也大大提高了驱动的质量。本系统用 DriverStudio 2.7 开发 PCI 总线的 WDM 驱动程序^[4]。

PCI9052 接在 PCI 插槽上以后,如果 PnP 管理器检测到相应的硬件设备,就会发送 IRP_MN_START_DEVICE 的 IRP 给驱动程序处理。由于 PCI 总线为 PnP 总线,PCI 设备的硬件资源都是由 PCI 总线配置机构动态分配的。驱动程序必须先将该 IRP 交给 PCI 总线驱动程序处理,取得 PCI 设备的配置信息和分配的资源后,再分发和处理该 IRP。IRP_MN_START_DEVICE 在驱动程序中对应的处理函数一般为 OnStartDevice。如

果在向导中设置好了 PCI 设备的资源,就不必再处理了,向导已把资源处理完毕。

PCI 的地址可以映射到微机的 IO 空间或 Memory 空间,可以通过 IO 方式或 Memory 方式来访问 PCI 的配置空间和局部空间。

5 结束语

随着 PCI 总线的出现和发展,由于 PCI 总线数据吞吐量,传输速率达 132Mbit/s,大大地改善了数据传输的“瓶颈”问题。所以,在未来的微机接口设计中,基于 PCI 总线的设计将成为主流。本文介绍了 PCI9052 PCI 总线目标接口芯片的功能与应用,由于专用 PCI 接口芯片的使用,避免了用户直接面对复杂的 PCI 总线协议,降低了设计难度,使用户集中精力解决具体应用问题,缩短了开发周期。□

参考文献

- [1] Tom Shanley Don Anderson PCI System Architecture(FouchEdition)[M]. Addison WesleyLongman, Inc. 2001.
- [2] 危文华. PCI 接口芯片 9052 及应用. 电子技术应用,2001, 21(1):67~70.
- [3] 张兢. PCI9052 PCI 目标接口以及应用. 电子技术,2001, 28(10):11~12.
- [4] Microsoft Corporation. Microsoft Windows 2000 Driver Development Kit (Design Guide) [M]. 北京:机械工业出版社,2001.

作者简介:张翌翀(1976-),男,硕士研究生,研究方向:机器人控制;陈卫东(1966-),男,博士生导师,教授,研究方向:智能机器人、多机器人学和微操作。

收稿日期:2007-12-09(7798)

文章编号:1671-1041(2008)03-0107-03

16 位微处理器 IP 核的优化设计

宋何娟,李 洋,张建新

(合肥工业大学 微电子设计研究所,合肥 230009)

摘要:根据 Amdahl 定律,要改进微处理器的性能,最有效的做法是改进微处理器的体系结构。本文设计的 ADM8086 采用自顶向下的设计方法和模块化的设计思想,通过采用扩大指令范围,缩短总线周期、减少指令周期时钟数,扩大指令预取阵列等系统结构的优化方法,设计了一款与标准 8086 指令集相兼容,但性能得到大幅度提升的高性能 16 位微处理器。

关键词:微处理器;体系结构;总线周期;指令执行

中图分类号:TN402 文献标识码:B

1 引言

微处理器性能的提高主要归结于两个方面:一方面是主频的提高;另一方面是体系结构的改进。主频直接反映了微处理器的速度,它的提高主要依靠半导体制造工艺的发展。本文着重从微处理器体系结构方面对标准 8086 进行改进,从而获得性能得到较大提高 16 位微处理器 ADM8086。

ADM8086 是合肥工业大学微电子设计研究所采用全面正向的设计思路^[1],自行设计的一个 16 位 CISC 高性能微处理器。其可向用户提供中型处理器的性能,这个性能优于流行的高档 8 位微控制器,具有更大的寻址空间和更强的运算、处理能力,但其成本又没有新的全 32 位处理器那么高。

2 ADM8086 总体考虑

和标准 8086 一样,ADM8086 采用传统的冯诺依曼结构^[2]。在图 1 中,ADM8086 从总体考虑上采用两个主要单元:总线接口单元(BIU)和执行单元(EU),以便于实现流水作业。这样当一条指令在 ALU 中执行时,下一条指令已经被取出放到了指令队列中等待执行了,这就可以使微处理器的指令执行速度得到提高^[3]。

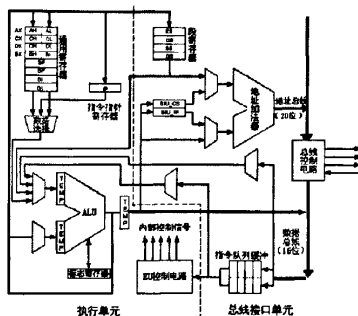


图 1 ADM8086 的总体考虑

对于一个微处理器的性能,可以通过下式来表示: